

PCT

世界知的所有権機関

国際事務局

特許協力条約に基づいて公開された国際出願

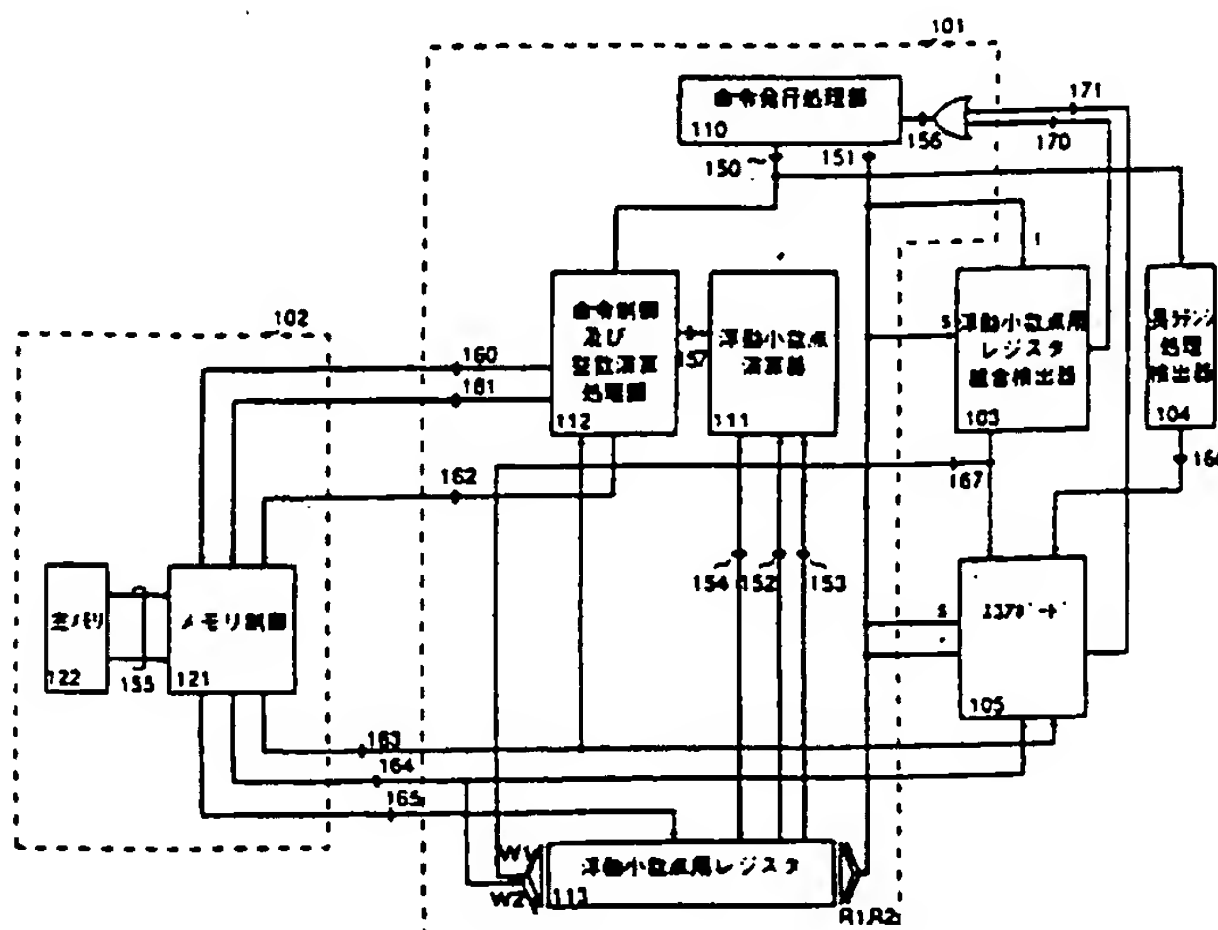


(51) 国際特許分類6 G06F 9/38	A1	(11) 国際公開番号 WO96/27833
		(43) 国際公開日 1996年9月12日(12.09.96)
(21) 国際出願番号 PCT/JP95/00356 (22) 国際出願日 1995年3月6日(06.03.95) (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 田中成弥(TANAKA, Shigeya)(JP/JP) 〒316 茨城県日立市西成沢町二丁目16番33号 Ibaraki, (JP) 島村光太郎(SHIMAMURA, Kotaro)(JP/JP) 〒316 茨城県日立市鮎川町六丁目20番3号 有朋寮 Ibaraki, (JP) 下村哲也(SHIMOMURA, Tetsuya)(JP/JP) 〒259-13 神奈川県秦野市戸川1140 至誠寮 Kanagawa, (JP) 堀田多加志(HOTTA, Takashi)(JP/JP) 〒259-13 神奈川県秦野市戸川1140 戸川アパート233号 Kanagawa, (JP) 澤本英雄(SAWAMOTO, Hideo)(JP/JP) 〒194 東京都町田市旭町三丁目24番23号 Tokyo, (JP)		(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP) (81) 指定国 JP, KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書

(54) Title : INFORMATION PROCESSOR

(54) 発明の名称 情報処理装置

- 103 ... register contention detector for floating-point register
104 ... long latency processing detector
105 ... score board
110 ... instruction issuing processing portion
111 ... floating-point arithmetic device
112 ... instruction control/integer arithmetic processing portion
113 ... floating-point register
121 ... memory control
122 ... main memory



(57) Abstract

This invention relates to an information processor which eliminates the contention of registers in short latency processing and long latency processing, accomplishes high-speed pipeline processing by efficiently utilizing the registers, detects register contentions during the short latency processing period by a register contention detection portion so as to reduce a physical quantity for accomplishing the pipeline processing, and detects register contentions till the long latency processing period beyond the short latency processing period by a score board. Further, the information processor manages issuance of commands on the basis of this contention detection.

(57) 要約

本発明は、短ラテンシ処理と長ラテンシ処理によるレジスタの競合をなくし、効率よくレジスタを用いて、高速なパイプライン処理を達成し、かつそのための物理量を小さくするために、短ラテンシ処理期間でのレジスタ競合をレジスタ競合検出部で行い、短ラテンシ処理期間を超えて長ラテンシ処理期間までのレジスタの競合をスコアボードで検出する情報処理装置であり、さらに、この競合検出に基づいて命令発行を管理する情報処理装置である。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LR	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LS	レソト	SD	スーダン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LT	リトアニア	SE	スウェーデン
BB	バルバドス	GA	ガボン	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GB	イギリス	LV	ラトヴィア	SI	スロヴェニア
BF	ブルキナ・ファソ	GE	グルジア	MC	モナコ	SK	スロヴァキア
BG	ブルガリア	GN	ギニア	MD	モルドヴァ共和国	SN	セネガル
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	MK	マケドニア旧ユーゴスラヴィア共和国	TD	チャド
BY	ベラルーシ	IE	アイルランド	ML	マリ	TG	トゴ
CA	カナダ	IL	イスラエル	MN	モンゴル	TJ	タジキスタン
CF	中央アフリカ共和国	IS	アイスランド	MR	モーリタニア	TM	トルクメニスタン
CG	コンゴ	IT	イタリア	MW	マラウイ	TR	トルコ
CH	スイス	JP	日本	MX	メキシコ	TT	トリニダード・トバゴ
CI	コート・ジボアール	KE	ケニア	NE	ニジェール	UA	ウクライナ
CM	カメルーン	KG	キルギスタン	NL	オランダ	UG	ウガンダ
CN	中国	KR	朝鮮民主主義人民共和国	NO	ノルウェー	US	アメリカ合衆国
CU	キューバ	KZ	大韓民国	NZ	ニュージーランド	UZ	ウズベキスタン
CZ	チェッコ共和国		カザフスタン			VN	ヴェトナム

明 細 書

情報処理装置

技術分野

命令をパイプライン処理して実行する情報処理装置またはデータ処理装置に係り、特に、短ラテンシ処理と長ラテンシ処理を混在させて情報、データを処理する情報処理装置またはデータ処理装置（以下、単に、情報処理装置という）に関する。

背景技術

プログラムに従って、命令をパイプライン処理によって実行する情報処理装置の命令制御での最大の制約は、ソフトウェアで書かれた命令の実行順序を守るために命令の処理順序を矛盾のないように実行しなければならないことである。

一般的なパイプライン処理を行う情報処理装置は、1つの命令に対しておよそ3から5サイクルで命令の実行を終了する基本パイプラインであり、1サイクルごとに実行（以下、短ラテンシ処理と呼ぶ）可能なものである。

しかし、上述の短ラテンシ処理だけでなく、割算や主メモリアクセス等の複雑な処理又は時間のかかる処理（以下、長ラテンシ処理と呼ぶ）を実行する命令も存在するため、上記制約を常に満たすことは難しい。

そこで、パイプライン処理による処理時間の長短、つまり、短ラテンシ処理、長ラテンシ処理に関わらず上記制約を満たすための方式が提案されている。

上記制約を守るため最も簡単な制御は、ある命令が基本パイプライン以外の処理をしたとき、その後続の命令はすべて先に進めなくする方法

来技術として特開平5-298091号公報に示されている。

これによると、ロード命令がメモリからデータの到着を待つ間、後続命令とロード命令の間にレジスタ干渉が無いときに、ロード命令の終了を待たずに後続演算命令を実行する情報処理装置を開示している。

この第1の従来技術では、ロード命令が処理している間保持するロード命令用レジスタ番号を設け、パイプライン投入予定の命令とロード命令のレジスタのレジスタ番号を比較器で比較することでレジスタ競合を検出する。

スコアボードを使用した方式の第2の従来技術として特開平5-108348号公報に示されている。これによると、ロード命令がキャッシュミス（長ラテンシ処理）になった場合でも後続命令の不要な待ち時間を減らすように後続演算命令を実行する。この第2の従来技術では、ロード命令がパイプライン処理を始めるとスコアボードに登録しロード命令が終了したとき解除することで、パイプライン処理中の命令のレジスタ番号に対応したビットが1となりレジスタ競合を検出する。

次に、長ラテンシ処理の1つである主メモリアクセスについて、以下に説明する。

一般に、主メモリアクセスは400ns程度の時間を必要とする。マシンサイクルが10nsとすると、そのラテンシは40サイクルとなり計算機（情報処理装置）の性能上のボトルネックになる。

そこで、主メモリアクセスをパイプライン化して主メモリアクセスを高速化する工夫が提案されている。

その1つとして、主記憶の性能向上のためにインタリブ方式メモリと呼ばれる1語ごとにインタリブされた複数のバンクからなるメモリを採用したメモリアクセスのパイプライン方式が、第3の従来技術として、John L. Hennessy, David A. Patterson 著のコンピュータアーキテクチャ

の 8 章「記憶階層の設計」に述べられている。

メモリバンクの目的は、連続的なアクセスを可能にすることと、複数の独立したアクセスを可能にすることである。

しかしながら、バンクごとに独立したアクセスは、バンクで処理中に後続の同一バンクアクセス要求がくるとバンクコンフリクトを発生し、後続アクセスを入力バッファで待たせてしまう。

例えば、アクセス 1, 2, 3, 4 と要求しても、アクセス 1 とアクセス 2 がバンクコンフリクトすると完了順序はアクセス 1, 3, 4, 2 となる。

つまり、インタリブ方式メモリの出力は処理要求と完了の順序性が保たれず、かつ、処理サイクルが可変となる。

このため、インタリブ方式のメモリを有する情報処理装置（第 3 の従来技術）では、命令処理部からの命令実行の要求順序とメモリ制御部からの命令実行の返答順序を保証する構成が必要になる。つまり、出力バッファをメモリ制御部に設け、アクセス 3, 4 を予め保持し、アクセス 2 の実行が終了した後に、アクセス 3, 4 の順に命令処理部へ返答するものである。

第 1 の従来技術では、保持するレジスタ番号が一杯になった状態で、後続命令にロード命令（長ラテンシ処理）がくると、後続命令でインターロックしてしまい（保持レジスタ競合）、パイプライン処理ができない、つまり、保持するレジスタ番号の状態でパイプライン処理ができないという第 1 の問題がある。

さらに、多くの命令をパイプライン処理させるために保持するレジスタを複数にすると、それぞれのレジスタに与えられた複数のレジスタ番号とをそれぞれ比較する複数の比較器を必要とし、物理量が著しく増加するという第 2 の問題がある。

第2の従来技術では、パイプラインに投入された命令により、すぐに、スコアボードに登録する方式なので、分岐命令や割込み処理等でパイプライン処理が乱れロード命令が無効化される時などに、各パイプライン処理の状態を監視してスコアボードの状態を制御しなければならない、つまり、乱れを生じないパイプライン制御のための制御論理が複雑になるという第3の問題がある。

第3の従来技術では、インタリブ方式のメモリを用いるので、アクセス3, 4の処理が完了しているにもかかわらず出力バッファでアクセス3, 4を保持しているので、命令処理部でアクセス3または4とパイプライン投入命令との間でレジスタ競合が発生する場合がある。このような場合、メモリ制御部で命令実行の順序性を保証するサイクル分、余分にインタロックするというオーバーヘッドが生じるという第4の問題がある。

本発明の目的は、保持するレジスタ番号の状態に関わらず、パイプライン処理を実行するフルパイプライン化した情報処理装置の提供にある。

本発明の他の目的は、多くの命令をパイプライン処理する際にも物理量の増加を少なくした情報処理装置の提供にある。

また、本発明の他の目的は、パイプライン制御を簡単な制御理論によって達成する情報処理装置の提供にある。

さらに、本発明の他の目的は、処理要求と処理完了の順序性を保証しないで、処理サイクルが可変になる長ラテンシ処理の動作を保証し、レジスタ競合等によるオーバーヘッドを減少する情報処理装置の提供にある。

発明の開示

本発明によれば、命令を n (n は1以上の整数) サイクルでパイプラ

イン処理によって実行する短ラテンシ処理を行う短ラテンシ処理部と、次に投入されてパイプライン処理を行う後続命令と上記短ラテンシ処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、命令を m (m は n より大きい整数) サイクルでパイプライン処理によって実行する長ラテンシ処理を行う長ラテンシ処理部と、上記命令が長ラテンシ処理であることを検出する長ラテンシ処理検出部と、次に投入されてパイプライン処理を行う後続命令と $K+1$

(K は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードとを有し、命令が与えられると上記レジスタ競合検出部は上記命令の K サイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であることを上記長ラテンシ処理検出部が検出すると ($K+1$) サイクルまでに上記レジスタ競合スコアボードにレジスタの使用を登録し、上記長ラテンシ処理の命令の実行終了までのレジスタ競合を検出することを特徴とする。

また、本発明によれば、命令に従って内部記憶部に保持されたデータを読み出し n (n は 1 以上の整数) サイクルでパイプライン処理し上記内部記憶部に格納する短ラテンシ処理を行う命令処理部と、次に投入されてパイプライン処理を行う後続命令と上記命令処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、命令に従って外部記憶部からデータの読み出しを m (m は n より大きい整数) サイクルでパイプライン処理し上記内部記憶部に格納する長ラテンシ処理を行うメモリ処理部と、上記命令が上記外部記憶部からデータを読み出す長ラテンシ処理であることを検出する長ラテンシ処理検出部と、次に投入されてパイプライン処理を行う後続命令と $K+1$ (K

は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードと、上記命令処理部から上記メモリ処理部へデータを読み出すために要求する要求信号、上記外部記憶部の格納位置を示す外部記憶アドレス信号、内部記憶部の格納位置を示す内部記憶アドレス信号と上記メモリ処理部から上記命令処理部へ上記要求信号に応じる応答信号、上記外部記憶部に保持されたデータを伝送するインターフェース部とを有し、命令が与えられると上記レジスタ競合検出部は上記命令の K サイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であることを上記長ラテンシ処理検出部が検出すると $(K + 1)$ サイクルまでに上記内部記憶アドレスに対応する上記レジスタ競合スコアボードに使用を登録し、 m サイクル後に上記内部記憶アドレスに対応する上記レジスタ競合スコアボードの使用を解除して、上記外部記憶部からデータを読み出す長ラテンシ処理の命令の実行終了までのレジスタ競合を検出することを特徴とする。

第1のレジスタ競合検出器でパイプライン投入予定の命令と全ての命令の n サイクルまでのレジスタ競合を検出するので、長ラテンシ処理中以外のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

さらに、第2のレジスタ競合用スコアボードでパイプライン投入予定の命令と $(k + 1)$ から m サイクルで処理中の命令のレジスタ競合を検出するので、長ラテンシ処理中のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

また、長ラテンシ命令同志であってもレジスタ競合がなければパイプライン処理できる。

さらに、分岐命令や割込み処理等のパイプライン制御が乱れる期間

(1サイクルからKサイクル)ではレジスタ競合検出部により、パイプライン制御が乱れない期間(K+1サイクルからmサイクル)ではレジスタ競合スコアボードにより処理するので、物理量の増加を抑えながら、長ラテンシ処理のフルパイプライン化を簡単な制御論理で実行できる。

また、インターフェース内の要求信号と応答信号は非同期に処理され、返答信号の順序が変わるような長ラテンシ命令であっても、長ラテンシ処理中のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

さらに、命令実行の順序性を保証しないインターフェース部により、処理の終了した命令と命令制御部内のパイプライン処理へ投入する後続命令との間で、レジスタ競合が生じていても余分なインターロックを行うことなく、パイプライン処理のオーバーヘッドを減少させることができる。

図面の簡単な説明

第1図は科学技術計算用計算機の全体構成を示す図。

第2図は浮動小数点演算器の構成を示す図。

第3図は浮動小数点演算用レジスタの構成を示す図。

第4図は命令発行処理部内のレジスタ番号変換構成を示す図。

第5図は浮動小数点用汎用レジスタ競合検出器を示す図。

第6図は比較器を示す図。

第7図はメモリ制御部の構成を示す図。

第8図はスコアボードの構成を示す図。

第9図は本実施例の命令セットを示す図。

第10図はレジスタウインドのウインドポインタとの関係動作を示す図。

第11図は命令処理部の基本動作とレジスタ競合動作を示す図。

第 1 2 図は長ラテンシ処理実行中の基本動作を示す図。

第 1 3 図は長ラテンシ処理実行中のレジスタ競合動作を示す図。

第 1 4 図は科学計算用計算機の全体構成を示す図。

第 1 5 図はメモリ制御部の構成を示す図。

第 1 6 図は長ラテンシ処理検出器を示す図。

第 1 7 図は科学計算用計算機の全体構成を示す図。

第 1 8 図はメモリ制御部の構成を示す図。

第 1 9 図は本発明の情報処理装置の概略を示す図。

第 2 0 図は本発明の 4 命令のスーパーカラ型のプロセッサを示す図。

第 2 1 図は第 1 8 図の接続関係を示した図。

発明を実施するための最良の形態

第 1 9 図に本発明を用いた計算機の構成を示す。この計算機は、例えば、科学技術計算用のものでも汎用的なものでもよい。

この計算機は、命令発行処理部 1 1 0 から命令制御 1 1 2、レジスタ競合検出部 1 0 3、長ラテンシ検出部 1 0 4 に、1 5 0、1 5 1 を介して命令を供給する。

命令の処理内容が短ラテンシ処理であると、命令制御部 1 1 2 は制御信号 1 5 7 によって、短ラテンシ処理部 1 1 1 を制御して、汎用レジスタ 1 1 3 からデータを読み出し演算して汎用レジスタへデータを格納する。

また、命令の処理内容が長ラテンシ処理であると、命令制御部 1 1 2 は制御信号 1 6 0 ～ 1 6 2 によって、長ラテンシ処理部 1 0 2 を制御して、汎用レジスタ 1 1 3 へデータを格納する。

ここで、汎用レジスタは複数のデータを保持するものでもよく、その場合はそれぞれのデータを区別するためにレジスタ番号が割り当てられ

ている。また、ここでいう汎用レジスタは、複数のレジスタからなるレジスタ群でもよい。さらに、これら汎用レジスタをプロセッサ内にある内部記憶部、プロセッサの外部にあるメインメモリ等を外部記憶部という。

短ラテンシ処理部と長ラテンシ処理部のそれぞれの処理において、レジスタ競合が発生すると誤った演算を実行することになるので、レジスタ競合検出部103は短ラテンシ処理の処理サイクル期間内のレジスタ競合を検出する。

もし、競合が検出されれば、信号170によって命令発行処理部110からの命令の発行を停止、または、待たせるように命令発行処理部を制御する。

スコアボード105は、短ラテンシ処理のサイクルを越えて長ラテンシ処理のサイクル内でのレジスタの競合の有無を検出するために、レジスタの使用情報を保持し、更新するものである。

長ラテンシ検出部104は長ラテンシ処理を検出すると、スコアボードに信号166を出力して、スコアボードにレジスタの使用をセットする。ここで、このスコアボードはレジスタ競合検出部と協調して動作するので、長ラテンシ検出部は短サイクル処理が完了するまでにスコアボードへのセットを完了するように制御する。

スコアボードへセットされた後に、レジスタの競合が発生すると、信号171を介して命令発行処理部110からの命令の発行を止めて、誤演算しないようにする。

長ラテンシ処理が終了すると、長ラテンシ処理部102はスコアボードへ信号163～164によってレジスタの使用情報をセットからリセット状態に更新する。

ここで、レジスタが複数ある場合は、レジスタ番号に対応した使用情

報をセット，リセットする。

長ラテンシ処理の際のレジスタ競合は、パイプライン制御の乱れる可能性の高い短ラテンシサイクル内ではレジスタ競合検出部によって、それ以降のパイプライン制御の乱れることのないサイクル内ではスコアボードによって検出するように動作する。これによって、物理量を小さく抑えながら、長ラテンシ処理のフルパイプライン化を簡単な制御論理で高速に行うことができる。

また、このプロセッサでのインターフェース部は長ラテンシ処理部への要求信号 1 6 0 ～ 1 6 2 に対する応答信号 1 6 3 ～ 1 6 5 の順序性を保証しなくてもよい構成になる。つまり、信号 1 6 2 と 1 6 4 は、レジスタを特定する情報の信号、例えば、レジスタ番号を示す信号であるが、このレジスタを特定する情報は、長ラテンシ処理部内でデータと共に処理されるので、順序性を保証しなくても処理の対応付けが明確になる。

さらに、このレジスタを特定する信号の応答信号 1 6 4 によって、スコアボードの情報を更新するので、命令の順序性にも矛盾を生じさせない。

このように、長ラテンシ処理部への要求信号と長ラテンシ処理部からの応答信号（処理終了信号）の順序性を保証しなくてもよいインターフェース部にすることで、処理サイクルが可変な長ラテンシ処理の動作を保証し、レジスタ競合等によるオーバーヘッドを減少させることができる。

第 1 図から第 8 図に、本発明を科学技術計算用計算機に適用した場合の第 1 の実施例を示す。

第 1 図は、科学技術計算用計算機の全体構成、第 2 図は浮動小数点演算器の構成、第 3 図は浮動小数点用レジスタの構成、第 4 図は命令発行処理部のレジスタ番号変換の構成、第 5 図、第 6 図は浮動小数点用レジ

スタ競合検出器、第7図はメモリ制御部の構成、第8図はスコアボードの構成を示す。さらに、第9図は本実施例の命令セット、第10図はレジスタウインドを使った物理レジスタ番号変換の関係、第11図は命令処理部の基本動作とレジスタ競合動作、第12図、第13図は長ラテンシ処理実行中の基本動作とレジスタ競合動作を示す。

次に、レジスタ構成と命令セットについて説明する。

主メモリアクセスのようにラテンシが長い処理をメモリパイプラインにより隠蔽しようとするするとレジスタ本数がボトルネックになる。

これを解決する方法として、情報処理学会論文誌V o l . 3 4 N o . 4 p 6 6 9 「レジスタウインド方式を用いた擬似ベクトルプロセッサの評価」で詳細に述べられているレジスタウインドと呼ばれるレジスタを複数のセットに分割してレジスタ数を増加させる方式が提案されている。

本実施例ではレジスタウインド方式（レジスタ本数を128本）を採用した構成である。

第9図に代表的な浮動小数点命令の命令セットを示す。

F M U L, F A D D はそれぞれ乗算, 加算する命令である。r 1, r 2, r 3 は、32本のレジスタ番号を指すものであり、これに128本のレジスタ番号を指すウインドポインタW P と加えて物理レジスタ番号を決定する。物理レジスタ番号 (r 1 + W P), (r 2 + W P) で指されるレジスタのデータを読み出し演算して物理レジスタ番号 (r 3 + W P) で指されるレジスタに結果を格納する。

F L D, F S T は、一般の浮動小数点用ロード、ストア命令である。整数汎用レジスタ (G R) のデータとディスプレースメント (disp) を加えたものをメモリアドレスとして計算し、F L D はメモリ上のアドレスにあるデータを物理レジスタ番号 (r 3 + W P) で指されるレジスタ

に格納する。また、FSTは、物理レジスタ番号 ($r1 + WP$) で指されるデータをレジスタから読み出し、計算されたアドレスで指されるメモリに格納する。

FPLD, FPSTはFLD, FSTと同じ機能であるが $r3'$, $r1'$ は、命令から直接全ての128本のレジスタを指し示すことができ、主メモリと浮動小数点用レジスタの間を直接アクセスする拡張命令である。FWPはレジスタウインド方式のウインドポインタWPを更新する命令である。

さて、第1図に戻って、科学技術計算用計算機の全体構成を示す。科学技術計算用計算機の全体構成は、命令制御部101、メモリ制御部102、浮動小数点用レジスタ競合検出器103、長ラテンシ処理検出器104、スコアボード105より構成する。また、命令制御部101からメモリ制御部102へ、要求信号160、メモリアドレス161、レジスタ番号162を受け渡す第1のインターフェースと、メモリ制御部102から命令処理部101へデータを返す応答信号163、データ165、受け渡されたレジスタ番号164を返答する第2のインターフェースを持つ。

FMUL, FADD等の演算命令の動作を命令処理部101を使って説明する。命令は、第4図に示す命令発行処理部110内の命令レジスタ401に格納される。各レジスタ番号 $r1$, $r2$, $r3$ は、ウインドポインタ406と加算して物理レジスタ番号を求めるためにレジスタ番号変換403-1~3で計算する。具体例として、第10図に、ウインドポインタWPが0, 16, 32, 48, 64, 80, 96, 112, 127の場合の物理レジスタ番号との関係を示す。一方、命令解読器404は、各レジスタ番号フィールドが有効であるかどうかを解読し、その結果をもとに選択回路及びvalid生成回路405を制御し、ソース

1 用レジスタ番号及びそのvalid 信号 1 5 1 - s 1, ソース 2 用レジスタ番号及びそのvalid 信号 1 5 1 - s 2, ターゲット用レジスタ番号及びそのvalid 信号 1 5 1 - t を出力する。第 3 図に示す 1 2 8 本で構成した浮動小数点用レジスタ 1 1 3 は、命令発行処理部 1 1 0 からのソースの物理レジスタ番号 1 5 1 - s 1, 1 5 1 - s 2 より指されたレジスタの内容を 1 5 2, 1 5 3 に同時に読み出し出力する。第 2 図に示す浮動小数点演算器 1 1 1 は、演算すべき 2 つのデータを 1 5 2, 1 5 3 より入力データラッチ 2 1 1 に格納する。次のサイクルで演算 (E 1) 2 0 1 を実行し、中間情報ラッチ 2 1 2 に格納する。さらに次のサイクルで演算 (E 2) 2 0 2 を実行し演算結果を結果格納ラッチ 2 1 3 に格納する。この実施例では、2 サイクルかけて演算 (E 1), 演算 (E 2) と実行して加算、乗算結果を求めるもので 1 つの演算命令をラテンシ 2 で処理する。浮動小数点演算器 1 1 1 の結果 1 5 4 は W ステージで浮動小数点用レジスタ 1 1 3 に格納され動作を完了する。第 1 1 図 (a) に、演算命令の基本動作のタイミングを示す。パイプラインは、D, E 1, E 2, W の 4 サイクルで 1 命令を処理するように動作する。

さて、演算命令と後続命令の間でレジスタ競合したときの動作を示す。レジスタ競合のプログラム例を以下に示す。

```
F A D D      r 1, r 2, r 3
```

```
F M U L      r 3, r 4, r 5
```

本実施例の浮動小数点演算器 1 1 1 は第 2 図に示すようにラテンシ 2 である。レジスタ競合が発生したときのペナルティを抑えるため浮動小数点演算器内にショートパス 2 2 0, セレクタ 2 2 1, 2 2 2 を有しており 1 サイクルのインタロック後、データを使用できる。このインタロックする動作を次に説明する。

始めに、浮動小数点用レジスタ競合検出器 1 0 3 の構成を第 5 図に示

す。命令発行処理部110から出力されるターゲットレジスタ番号151-tをパイプラインステージごとに保持するラッチ502, 503, 504と、各ステージのターゲットレジスタ番号と命令発行処理部110の命令レジスタ401に対応したソースレジスタ番号151-s1, 151-s2を比較する比較器501-1~6, ターゲットレジスタ番号151-tを比較する比較器-1~3、及び、その出力をまとめる論理回路より構成される。第6図は比較器501の詳細な構成を示したもので、7ビットの比較器と、比較器の出力とそれぞれのvalid信号のANDゲートからなる。

FADD命令がE1ステージを実行中、第5図のラッチ502は物理レジスタ番号($r3 + WP$)を保持する。FMULは、命令レジスタ401に格納されており、その出力であるソース1信号151-s1も物理レジスタ番号($r3 + WP$)となる。このため、比較器501-1はレジスタ番号が一致していることを検出し出力170は1となる。レジスタ競合検出器103の出力は命令発行処理部110の命令発行制御402へOR論理を通して伝わり、命令レジスタ401の命令を1サイクル保存する。続く次のサイクルで、FADDはE2ステージに進み、E2用ターゲットラッチ503に物理レジスタ番号を格納する。命令レジスタ401からの信号151-s1とターゲットラッチ503を比較する比較器501-3はレジスタ番号が一致していることを検出する。しかしながら、長ラテンシ処理中の命令のときのみ有効になるように信号511を制御するので、論理回路部で信号511によりマスクされ出力170は0となる。命令レジスタに格納した命令が演算結果をすぐに使うことを命令制御112で検出すると、浮動小数点演算器111内のショートパス220からセレクタ221を通して演算結果をすぐに入力データラッチにバイパスするように動作する。これによってFADD命

令は次の E 1 サイクルで正しい入力データに対する演算を開始する。第 1 1 図 (b) にこの動作のタイミングを示す。n 命令と n + 1 命令がレジスタ競合して 1 サイクルインタロックすることで、正しい動作を保証するように動作できる。

第 5 図の比較器 5 0 5 - 1 ~ 3 は、一般に割込み処理制御のために命令のターゲット番号と後続命令のターゲット番号の関係より、インタロック制御を行うためのものであり、動作は上記の比較器と同様のため説明を省略する。

次に、F L D, F P L D の命令の動作を説明する。始めに、メモリ制御部 1 0 2 の構成を第 7 図に示す。メモリ制御部 1 0 2 は、主メモリ 1 2 2, メモリ制御ユニット 1 2 1 より構成する。メモリ制御ユニット 1 2 1 は、メモリバンク制御 7 0 1, アドレス変換制御 7 0 2 より構成する。さらに、7 5 1 - M 2 ~ 4 0 と 7 5 0 - M 2 ~ 4 0 は全てパイプライン制御用ラッチ、7 0 5 はアドレス変換器、7 1 0, 7 2 0 はバンクコンフリクトによるパイプラインのインタロックを解消するためのバンク (0, 1) 用バッファ、7 1 1, 7 2 1 はバンクメモリ中の処理に対するレジスタ番号を保持するラッチ、7 1 3, 7 2 3 はバンク分けされたメモリ、7 3 0, 7 3 1 はメモリバンクからのデータとレジスタ番号を選択するセクタである。

F L D, F P L D の命令は、D ステージで命令解読し、E ステージでアドレス計算アドレスする。その後の動作は、メモリ制御部 1 0 2 で実行される。命令処理部 1 0 1 からメモリ制御部 1 0 2 へは、データを読み出す要求信号 1 6 0, メモリアドレス 1 6 1, 浮動小数点用レジスタのターゲットレジスタ番号 1 6 2 を受け渡す。レジスタ番号 1 6 2 はメモリ制御部 1 0 2 の各パイプラインステージを命令動作とともに同期して進む。送られたメモリアドレス 1 6 1 は論理アドレスであるためアド

レス変換器705で物理アドレスに変換する。その後、物理アドレス730とレジスタ番号731は、メモリバンクを制御するメモリバンク制御701に送られる。実施例では、2つのインタリブされたバンクで構成されたメモリを示す。物理アドレスが偶数か奇数かによりバンク0かバンク1にアクセスするように制御する。各バンクごとの処理は、バンク用バッファ710, 720に入った順に処理される。この時、レジスタ番号もバンク用バッファ710, 720に入れて処理の同期をとる。バンクメモリをアクセス中、レジスタ番号はバンク中の処理に同期したレジスタ番号を保持するラッチ711, 721に格納されバンクメモリ713, 723のアクセス処理完了まで待つ。処理が完了すると、セレクタ730, 731を制御し、アクセスしたデータと処理完了まで保持しているレジスタ番号を同時に出力してパイプライン制御ラッチ751-M37, 750-M37に渡す。その後、メモリ制御部102から命令制御部101へは、メモリ処理部にデータを返す応答信号163（第7図はデータパスのみ表示しているので省略）、メモリより読み出したデータ165, レジスタ番号164を返答する。命令制御部101の浮動小数点用汎用レジスタ113は、メモリより読み出したデータ165, 浮動小数点用レジスタのターゲットレジスタ番号164を受け取りレジスタ番号の指すレジスタにデータを書き込みFLD, FPLDの命令の動作を完了する。第12図にFLD, FPLDの命令の動作のタイミングを示す。n命令, n+1命令がメモリアクセス命令でありM2からM40までがメモリ制御部でのパイプライン処理を示す。

本実施例のメモリ制御部102は2つのインタリブしたバンク構成であるが、メモリの完全パイプライン化するには、メモリバンクのアクセス数をpサイクルとすると、バンク数はp個以上が必要となる。また、インタリブしたバンク構成であるためバンクコンフリクトが生じる。バ

ンクコンフリクトが発生すると、命令制御部 1 0 1 からの要求順序とメモリ制御部 1 0 2 からの応答順序が異なる。具体的には、 n 番目のメモリ要求でバンク 0 へアクセスしようとしたとき、バンク 0 用バッファ 7 1 0 に既に前の要求が待たされているとする。次のサイクルで $n + 1$ 番目のメモリ要求がバンク 1 へアクセスしたとき、バンク 1 用バッファ 7 2 0 が空であれば、バンク 1 のメモリアクセス要求である $n + 1$ 番の方が早く処理を完了するという特性を持つ。メモリ制御部 1 0 2 の処理が可変で順番が守られないにもかかわらず動作が保証できるのは、レジスタ番号を命令制御部 1 0 1 に保持せずに、メモリ制御部 1 0 2 でメモリ処理とともに各パイプラインを持ち回り、メモリ制御部 1 0 2 の処理返答時にレジスタ番号 1 6 4 を返却する構成であるから可能となる。

F L D, F P L D 命令と後続命令の間でレジスタ競合したときの動作を示す。始めに、第 8 図でスコアボードの全体構成を説明する。8 0 0 - 0 ~ 1 2 7 はレジスタ 1 2 8 本に対応する 1 ビットのレジスタ、8 0 1 は登録するレジスタ番号をフルデコードするデコーダ、8 0 2 は解除するレジスタ番号をフルデコードするデコーダ、8 0 3 は命令レジスタ 4 0 1 のソース 1 のレジスタ番号をフルデコードするデコーダ、8 0 4 は命令レジスタ 4 0 1 のソース 2 のレジスタ番号をフルデコードするデコーダ、8 0 5 は命令レジスタ 4 0 1 のターゲットのレジスタ番号をフルデコードするデコーダ、8 0 6 はデコーダ 8 0 3 の出力信号が立っているところのレジスタ 8 0 0 の値が 1 であるかを検出する検出器、8 0 7 はデコーダ 8 0 3 の出力信号が立っているところのレジスタ 8 0 0 の値が 1 であるかを検出する検出器、8 0 8 はデコーダ 8 0 3 の出力信号が立っているところのレジスタ 8 0 0 の値が 1 であるかを検出する検出器、8 0 9 は各検出器 8 0 6, 8 0 7, 8 0 8 の出力の論理和をとる O R 回路、8 1 0 はメモリ制御部 1 0 2 で異常があったことを検出する

異常検出器より構成する。

F L D, F P L D命令の実行は既に述べたがスコアボード105に対する動作を補足する。登録許可信号166は、第1図の長ラテンシ処理検出器104で検出される。本実施例では、F L D, F P L Dを命令解読して検出すると登録許可信号166は1になる。登録されるレジスタ番号167は浮動小数点用レジスタ競合検出器103としてF L D, F P L D命令のターゲットレジスタ番号として与えられる。このレジスタ番号はメモリ制御部102に受け渡すレジスタ番号162と論理的に同じものである。Wステージの次のサイクルで、スコアボード105は、登録許可信号166と登録されるレジスタ番号167によりデコーダ801を介してレジスタ番号に対応したレジスタ800を1にセットする。F L D, F P L D命令がメモリ制御部102で処理を完了すると、レジスタ番号164とメモリ制御部からの返答信号163によって、デコーダ802を介してレジスタ番号に対応したレジスタ800を0にセットする。つまり、Wステージの次のサイクルから処理完了までメモリ要求に対応したレジスタ800は1が立っており、メモリ処理中であることを示す。レジスタ800に1が登録するタイミングがWステージの次のサイクルであるのは、レジスタ競合検出器103により、Wステージまでのレジスタの競合を検出し、スコアボード105でWステージの次のサイクルから処理完了までレジスタ競合を検出するように協調して動作させるからである。これによって、スコアボード105に対する命令制御が簡単になる。なぜなら、Dステージでスコアボード105に登録すると、それ以前の基本パイプライン処理中の命令の影響（分岐や割込み等）により命令の無効化が生じるとスコアボード登録を取り消さなければならず常にパイプライン動作を監視しなければならないが、本実施例のようにWステージの次のステージでスコアボード105に登録す

れば、それ以前の基本パイプライン処理中の命令は無くなり命令の無効化等パイプライン動作を監視した複雑な処理を省略できるからである。

さて、このようにスコアボード105に登録したF L D, F P L D命令の次の命令がレジスタ競合したときの動作を説明する。

レジスタ競合のプログラム例（物理レジスタ番号変換後 $r3'$ と $r3$ は一致する）を以下に示す。

```
F P L D      ( G R 1 , d i s p ) , r 3 ' ..... n 命令
F M U L      r 3 , r 4 , r 5 ..... n + 1 命令
```

第13図にこの動作のタイミングを示す。始めの3サイクルは演算命令のレジスタ競合で述べたように浮動小数点用レジスタ競合検出器103で検出されその出力である170により命令レジスタ401の命令を保持し続ける。次の4サイクル目からはスコアボード105でレジスタ競合を検出する。F P L Dにより $r3'$ に対応するレジスタ300に1がセットされる。一方、命令レジスタ401に対する151-s1に物理レジスタ番号 ($WP + r3$) が出力される。この信号は、スコアボード105内のデコーダ803でフルデコードし、検出器806にてデコーダ803の出力信号が立っているところのレジスタ800の値が1であるかを検出する。このケースは1である(競合状態)ので、スコアボードの出力171が1となり命令レジスタ401の命令を保持し続ける。この関係は競合しているレジスタ800の値が0に解除されるまで続く。メモリ制御102からの応答信号により解除されると出力171は0になり、F M U L 命令は発行される。つまり、F P L D 命令と F M U L 命令がレジスタ競合して39サイクルインターロックして正しい動作を保証するように動作する。これによってF M U L 命令はF P L D 命令が終了するのを待って正しい入力データに対する演算を開始できる。この例は次の命令のレジスタ競合を示したがF P L D 命令が処理中の期間に後続命

令として実行される命令との間でレジスタ競合していなければ命令は次々と発行される。また、 $n + m$ 命令がレジスタ競合命令のとき、 $n + m - 1$ 命令までは次々と発行され、 $n + m$ 命令が命令レジスタ401にFPLD命令完了まで保持するように動作する。

さらに、別のレジスタ競合のプログラム例（物理レジスタ番号変換後 $r3'$ と $r3$ は一致する）を以下に示す。

```
FPLD      (GR1, disp), r3'
```

```
FMUL      r4, r5, r3
```

この例は、FPLD命令のターゲットレジスタ番号と後続命令のターゲットレジスタ番号が一致したケースである。本実施例では、FPLD命令よりFMUL命令が先に実行するため、2つの命令が終了した結果はFPLD命令の結果が残ってしまうことになりプログラムの実行順番と矛盾する。このため正しい動作を保証するためにインターロックする必要があり、ターゲットレジスタ番号と後続命令のターゲットレジスタ番号について、レジスタ競合検出器103の505-1~3の比較器でWステージまで、レジスタの競合を検出し、スコアボードの検出器808でWステージの次のサイクルから処理完了までレジスタ競合を検出するように協調して動作する。

この実施例のスコアボード105は、メモリ制御部102から必ずレジスタ番号164を伴った応答信号を期待した方式である。もし、メモリ制御部102に異常が発生してレジスタ番号164が戻らないと、スコアボード105のレジスタ800は解除されずレジスタ競合が発生するとデッドロック状態に陥る。この状態を避けるためにメモリ制御部102からの応答信号163に異常を知らせる情報も含ませる。この信号163をスコアボード105の異常検出器810で異常を検出すると全てのレジスタ800をリセットするとともに、命令制御部で異常時の

処理を起動するように動作する。これによってメモリ制御部 1 0 2 の異常に対するデッドロックを避け異常処理を開始できる。

メモリ制御部 1 0 2 にキャッシュメモリを持つ場合の本発明の第 2 の実施例を示す。キャッシュメモリはメモリアクセス高速化の目的で一般に採用されている技術である。キャッシュメモリがヒットすると短いサイクル（短ラテンシ処理）でメモリアクセスを実施する。ミスすると主メモリまで長いサイクル（長ラテンシ処理）をかけて処理を実施する。

第 1 の実施例と大部分共通であるので異なる構成のみ第 1 4 図、第 1 5 図、第 1 6 図で示す。第 1 4 図は、科学技術計算用計算機の全体構成、第 1 5 図はキャッシュメモリを持つメモリ制御部の構成、第 1 6 図は長ラテンシ処理検出器を示す。メモリ制御部 1 0 2 内のキャッシュメモリの制御と、メモリ制御部のインターフェースが主に異なっているため、その部分を中心に動作を説明する。第 1 図から第 1 4 図に変更された点は、キャッシュがヒットしたことを示すインターフェースである 1 5 0 5 を追加したことであり、さらに、第 7 図から第 1 5 図に変更されたのはユニット 7 0 2 である。第 1 5 図の 7 0 2 はキャッシュメモリ及びアドレス変換するユニットであり、1 5 0 0 はキャッシュメモリ、1 5 0 1 はアドレスバッファ、1 5 0 2 はアドレスを切替るセレクタ、1 5 0 3 はレジスタ番号を切替るセレクタである。

F L D 命令は、命令制御部 1 0 1 からメモリ制御部 1 0 2 へ、データを読み出す要求信号 1 6 0、メモリアドレス 1 6 1、ターゲットレジスタ番号 1 6 2 を受け渡す。送られたメモリアドレス 7 5 1 - M 2 はセレクタ 1 5 0 2 を介してキャッシュメモリ 1 5 0 0 をアクセスする。キャッシュメモリ 1 5 0 0 がメモリアドレスに対するデータを持っていればキャッシュヒットとなり、データ 1 5 0 6 を通して、ラッチ 7 5 1 - M 4 0 にセットする。キャッシュメモリ 1 5 0 0 がヒットであることを

示す信号1507は0となり750-M2のレジスタ番号を750-M40へ伝えるように動作する。つまり、キャッシュがヒットするとデータ751-M40、レジスタ番号750-M40、キャッシュがヒットしたことを示す信号1504が同時にセットされ、インターフェース信号164、165、1505を介して命令制御部101へ返答する。なお、第15図では省略してあるがヒット信号によりメモリバンク制御への処理は中止するように制御する。命令制御部101は、第1の実施例と同様にレジスタ番号164に対応したレジスタにデータ165を書いて完了する。さらに、信号1505は、長ラテンシ処理検出器104に送り（第14図）、キャッシュがヒットしたことを伝える。第16図は、長ラテンシ処理検出器104の構成を示しており、信号1505が1であるとその出力である登録許可信号166は0となる。これによって、キャッシュがヒットするとスコアボードには登録されない。

次に、キャッシュミスの動作を説明する。ミスすると、第1の実施例と同様にアドレス変換器705で変換された物理アドレス730とレジスタ番号731をメモリバンク制御に送付する。一方、インターフェース信号1505は、長ラテンシ処理検出器104にキャッシュがミスしたことを伝える。これにより、長ラテンシ処理検出器104の出力166は1となり、キャッシュミスするとスコアボードに登録される。メモリバンク制御で処理が完了するとデータ733、レジスタ番号732はパイプラインラッチ750-M38、751-M38へ格納される。第1の実施例と異なるのは、主メモリからのデータをキャッシュメモリに格納する点であり、そのためにアドレスバッファ1501からのアドレスに従い、1506を介してデータをキャッシュメモリに書く。同時にインターフェース163、164、165を通して命令制御部101へ返答信号とレジスタ番号とデータを返すように動作する。命令制御部101

は、第 1 の実施例と同様にレジスタ番号 1 6 4 に対応したレジスタにデータ 1 6 5 を書いて完了するとともに、スコアボード 1 0 5 のレジスタ 8 0 0 を解除するように動作する。

もう 1 つの命令である F P L D は F L D と多少異なった動作をする。F P L D 命令は、主メモリ 1 2 2 から直接レジスタ 1 1 3 にデータを格納する命令である。このため、キャッシュメモリがあるメモリ制御部において、キャッシュをスルーして動作する。メモリ制御部 1 0 2 に送られたアドレスは直接アドレス変換器 7 0 5 でアドレス変換されメモリバンク制御 7 0 1 に送られる。一方、長ラテンシ処理検出器 1 0 4 (第 1 6 図) は、キャッシュミスしたかどうかには依存せずに命令解読によって出力 1 6 6 を 1 にしスコアボードに登録する。また、F P L D 命令は、メモリバンク制御から戻ってきたデータをキャッシュメモリに格納する動作をせずに、インターフェース 1 6 3, 1 6 4, 1 6 5 を通して命令制御部 1 0 1 へレジスタ番号とデータを返すように動作する。命令制御部 1 0 1 は、第 1 の実施例と同様にレジスタ番号 1 6 4 に対応したレジスタにデータ 1 6 5 を書いて完了するとともにスコアボード 1 0 5 のレジスタ 8 0 0 を解除するように動作する。

本第 2 の実施例では、キャッシュがヒットしたときを演算命令と同じパイプラインで処理し (短ラテンシ処理)、ミスしたときのみ長ラテンシ処理扱いして制御する。これによって、キャッシュメモリを持つメモリ制御においてキャッシュミスが生じた場合もレジスタ競合が無い期間、次々と後続命令のパイプライン処理を開始でき、主メモリをアクセスする長ラテンシ処理のパイプライン化による処理の隠蔽が可能になる。

第 2 の実施例においてメモリ制御部と命令制御部のインターフェースを改良した場合の第 3 の実施例を示す。

第 2 の実施例と大部分共通であるので異なる構成のみ第 1 7 図, 第

18図で示す。第17図は科学技術計算用計算機の全体構成、第18図はキャッシュメモリを持つメモリ制御部の構成を示す。メモリ制御部のインターフェースが主に異なっているため、その部分を中心に動作を説明する。第14図から第17図に変更されたのはキャッシュがヒットしたときにヒットしたことを示す信号とともにキャッシュメモリからのデータを出力する1705をインターフェースに追加したことである。

F L D命令は、命令制御部101からメモリ制御部102へ、データを読み出す要求信号160、メモリアドレス161、ターゲットレジスタ番号162を受け渡す。送られたメモリアドレス751-M2はセレクタ1502を介してキャッシュメモリ1500をアクセスする。キャッシュメモリ1500がメモリアドレスに対するデータを持っていればキャッシュヒットとなり、データバス1506を通して、ラッチ1801にセットする。つまり、キャッシュがヒットするとデータ1801、キャッシュがヒットしたことを示す信号1504が同時にセットされ、インターフェース信号1701、1505を介して命令制御部101へ返答する。命令制御部101は、第17図に示すように演算結果を出力する151とメモリ制御部からのデータ1701をセレクタ1702で選択してレジスタ113にデータを書き込む。この時のターゲットレジスタ番号は、演算からのパス167から供給される。キャッシュミスが発生するケース、及び、F P L D命令の動作は第2の実施例と同様であり説明を省略する。第3の実施例により、キャッシュメモリがヒット（短ラテンシ処理）したときのレジスタ番号をメモリ制御部から返答しなくてもよいという効果がある。つまり、長ラテンシ処理の時のみメモリ制御部からレジスタ番号を保証することによりメモリ制御部の簡易化が図られる。

上述の3つの実施例は、すべてシングルパイプライン実行について述

べたが、 n_i 命令を同じに発行して処理するスーパスカラ型のプロセッサにおいても基本パイプラインを超えて処理する長ラテンシ命令に対して本発明を展開することは容易である。

第20図に4命令のスーパスカラ型のプロセッサの概略を示す。

これは、命令を発行する命令発行処理部2000、命令発行部からの命令を浮けて制御する命令制御部2001-1～2001-4、短ラテンシ処理を行う短ラテンシ処理部2002-1～2002-4、長ラテンシ処理を行う長ラテンシ処理部2005、長ラテンシ及び短ラテンシ処理で用いる複数のデータを保持する汎用レジスタ2010、短ラテンシ処理によるレジスタ競合を検出するレジスタ競合検出部2011、命令の処理内容が長ラテンシ処理かを判定する長ラテンシ検出部2013、長ラテンシ処理の際のレジスタの競合を示すスコアボード2012から構成される。

命令発行処理部2000は、同時に4つの命令を2020-1～-4を介してそれぞれの命令制御部2001-1～-4に供給する。命令制御部2001-1～-4は、供給された命令の処理内容が短ラテンシ処理であれば、制御信号2021-1～4により短ラテンシ処理部2002-1～4を制御する。また、供給された命令の処理内容が長ラテンシ処理であれば、制御信号2023-1～4により長ラテンシ処理部2005を制御する。

レジスタ競合検出部2011は、4つの命令で用いるレジスタ全てについて競合の有無を検出する。競合が検出されると、信号2028により命令発行処理部2000に命令の発行を停止させる。スコアボード2012は第19図と同じ機能を有する。

このように複数命令を並列に処理するスーパスカラ型のプロセッサにおいても、レジスタ競合をレジスタ競合検出部とスコアボードにわけ

て強調動作させることができ、物理量の増加を抑えながら長ラテンシ処理のフルパイプライン化を簡単な制御論理で達成することができる。

さらに、LSI技術が発展して集積化が進むと命令制御部とメモリ制御部の一部を含めたワンチップのマイクロプロセッサが実現できる。第7図、第15図、第18図よりわかるようにメモリ制御部を任意のステージラッチ分割すると全ての切り口でレジスタ番号を受け渡す、又は、返答するインターフェースが端子として現れる。

具体的な一例として第18図のメモリバンク制御の前までをワンチップのマイクロプロセッサとするとレジスタ番号を受け渡すインターフェースとして731、レジスタ番号を返答するインターフェースとして732が必要であり、そのためのLSIピン（端子）が必要となる。

第21図にこの第18図の接続関係をチップの接続関係で表した図を示す。これによると、インターフェース部を介して要求信号、応答信号、アドレス、データ等を伝送するためにプロセッサとメモリ制御用チップとを接続するための端子、または配線が必要になる。

産業上の利用の可能性

本発明によれば、短ラテンシ処理と長ラテンシ処理によるレジスタの競合をなくすることができる。

また、本発明によれば、効率よくレジスタを用いた処理ができ、高速なパイプライン処理が達成される。

また、本発明によれば、レジスタ競合を検出するための処理部の物理量を小さくすることができる。

また、本発明によれば、レジスタ競合を検出する論理制御を複雑にすることなく実現できる。

また、本発明によれば、第1のレジスタ競合検出器でパイプライン投

入予定の命令と全ての命令の n サイクルまでのレジスタ競合を検出するので、長ラテンシ処理中以外のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

さらに、本発明によれば、第2のレジスタ競合用スコアボードでパイプライン投入予定の命令と $(k+1)$ から m サイクルで処理中の命令のレジスタ競合を検出するので、長ラテンシ処理中のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

また、本発明によれば、長ラテンシ命令同志であってもレジスタ競合がなければパイプライン処理できる。

さらに、本発明によれば、分岐命令や割込み処理等のパイプライン制御が乱れる期間（1サイクルから K サイクル）ではレジスタ競合検出部により、パイプライン制御が乱れない期間（ $K+1$ サイクルから m サイクル）ではレジスタ競合スコアボードにより処理するので、物理量の増加を抑えながら、長ラテンシ処理のフルパイプライン化を簡単な制御論理で実行できる。

また、本発明によれば、インターフェース内の要求信号と応答信号は非同期に処理され、返答信号の順序が変わるような長ラテンシ命令であっても、長ラテンシ処理中のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

さらに、本発明によれば、命令実行の順序性を保証しないインターフェース部により、処理の終了した命令と命令制御部内のパイプライン処理へ投入する後続命令との間で、レジスタ競合が生じていても余分なインターロックを行うことなく、パイプライン処理のオーバーヘッドを減少させることができる。

請求の範囲

1. 命令を n (n は 1 以上の整数) サイクルでパイプライン処理によって実行する短ラテンシ処理を行う短ラテンシ処理部と、

次に投入されてパイプライン処理を行う後続命令と上記短ラテンシ処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、

命令を m (m は n より大きい整数) サイクルでパイプライン処理によって実行する長ラテンシ処理を行う長ラテンシ処理部と、

上記命令が長ラテンシ処理であることを検出する長ラテンシ処理検出部と、

次に投入されてパイプライン処理を行う後続命令と $K+1$ (K は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードとを有し、

命令が与えられると上記レジスタ競合検出部は上記命令の K サイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であることを上記長ラテンシ処理検出部が検出すると ($K+1$) サイクルまでに上記レジスタ競合スコアボードにレジスタの使用を登録し、上記長ラテンシ処理の命令の実行終了までのレジスタ競合を検出することを特徴とする情報処理装置。

2. 請求項 1 において、

上記長ラテンシ処理の命令は、外部記憶部からデータを読み出して処理する命令であることを特徴とする情報処理装置。

3. 請求項 1 において、

上記長ラテンシ処理部は、上記命令発行部に対して後続命令の発行を

停止、または、待たせることを特徴とする情報処理装置。

4. 請求項1において、

上記短ラテンシ処理部は演算を実行する命令処理部であり、上記長ラテンシ処理部は外部記憶部からデータを読み出して演算し内部記憶部へデータを格納するメモリ処理部であることを特徴とする情報処理装置。

5. 請求項1において、

上記レジスタ競合検出部または上記レジスタ競合スコアボードによってレジスタ競合が検出されると、後続命令のパイプライン処理の投入を停止、または、待たせることを特徴とする情報処理装置。

6. 命令に従って内部記憶部に保持されたデータを読み出し n (n は1以上の整数) サイクルでパイプライン処理し上記内部記憶部に格納する短ラテンシ処理を行う命令処理部と、

次に投入されてパイプライン処理を行う後続命令と上記命令処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、

命令に従って外部記憶部からデータを読み出しを m (m は n より大きい整数) サイクルでパイプライン処理し上記内部記憶部に格納する長ラテンシ処理を行うメモリ処理部と、

上記命令が上記外部記憶部からデータを読み出す長ラテンシ処理であることを検出する長ラテンシ処理検出部と、

次に投入されてパイプライン処理を行う後続命令と $K+1$ (K は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードと、

上記命令処理部から上記メモリ処理部へデータを読み出すために要求

する要求信号，上記外部記憶部の格納位置を示す外部記憶アドレス信号，内部記憶部の格納位置を示す内部記憶アドレス信号と上記メモリ処理部から上記命令処理部へ上記要求信号に応じる応答信号，上記外部記憶部に保持されたデータを伝送するインターフェース部とを有し、

命令が与えられると上記レジスタ競合検出部は上記命令のKサイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であることを上記長ラテンシ処理検出部が検出すると競合情報を $(K+1)$ サイクル以前に所定のレジスタに対応する上記レジスタ競合スコアボードに登録し、mサイクル後に上記所定のレジスタに対応する上記レジスタ競合スコアボードから解除して、上記外部記憶部からデータを読み出す長ラテンシ処理の命令の実行終了までのレジスタ競合を検出することを特徴とする情報処理装置。

7. 請求項6において、

上記インターフェース部は、上記命令処理部から上記メモリ処理部へ信号を伝送する第1のインターフェースと上記メモリ処理部から上記命令処理部へ信号を伝送する第2のインターフェースとからなることを特徴とする情報処理装置。

8. 請求項6において、

上記長ラテンシ処理部は、上記命令発行部に対して後続命令の発行を停止、または、待たせることを特徴とする情報処理装置。

9. 請求項6において、

上記短ラテンシ処理部は演算を実行する命令処理部であり、上記長ラテンシ処理部は外部記憶部からデータを読み出して演算し内部記憶部へデータを格納するメモリ処理部であることを特徴とする情報処理装置。

10. 請求項6において、

上記レジスタ競合検出部または上記レジスタ競合スコアボードによっ

てレジスタ競合が検出されると、後続命令のパイプライン処理の投入を停止、または、待たせることを特徴とする情報処理装置。

1 1. 命令に従って内部記憶部に保持されたデータを読み出し n (n は 1 以上の整数) サイクルでパイプライン処理し上記内部記憶部に格納する短ラテンシ処理を行う命令処理部と、

次に投入されてパイプライン処理を行う後続命令と上記命令処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、

外部記憶部からのデータを保持するキャッシュメモリと、

命令に従って、上記キャッシュメモリに所定のデータがあれば上記キャッシュメモリからデータを読み出すか、上記キャッシュメモリに所定のデータがなければ外部記憶部からデータを m (m は n より大きい整数) サイクル期間内に読み出し、読み出されたデータをパイプライン処理し上記内部記憶部に格納する長ラテンシ処理を行うメモリ処理部と、

上記命令が上記外部記憶部からデータを読み出す長ラテンシ処理であることを検出する長ラテンシ処理検出部と、

次に投入されてパイプライン処理を行う後続命令と $K+1$ (K は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードと、

上記命令処理部から上記メモリ処理部へデータを読み出すために要求する要求信号、上記外部記憶部の格納位置を示す外部記憶アドレス信号、内部記憶部の格納位置を示す内部記憶アドレス信号と上記メモリ処理部から上記命令処理部へ上記要求信号に応じる応答信号、上記外部記憶部に保持されたデータを伝送するインターフェース部とを有し、

命令が与えられると上記レジスタ競合検出部は上記命令のKサイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であり対象とするデータが上記キャッシュメモリに存在しないことを上記長ラテンシ処理検出部が検出すると競合情報を $(K+1)$ サイクル以前に所定のレジスタに対応する上記レジスタ競合スコアボードに登録し、mサイクル後に上記所定のレジスタに対応する上記レジスタ競合スコアボードから解除して、上記外部記憶部からデータを読み出す長ラテンシ処理の命令の実行終了までのレジスタ競合を検出することを特徴とする情報処理装置。

1 2. 請求項 1 1 において、

上記インターフェース部は、上記命令処理部から上記メモリ処理部へ信号を伝送する第 1 のインターフェースと上記メモリ処理部から上記命令処理部へ信号を伝送する第 2 のインターフェースとからなることを特徴とする情報処理装置。

1 3. 請求項 1 1 において、

上記長ラテンシ処理部は、上記命令発行部に対して後続命令の発行を停止、または、待たせることを特徴とする情報処理装置。

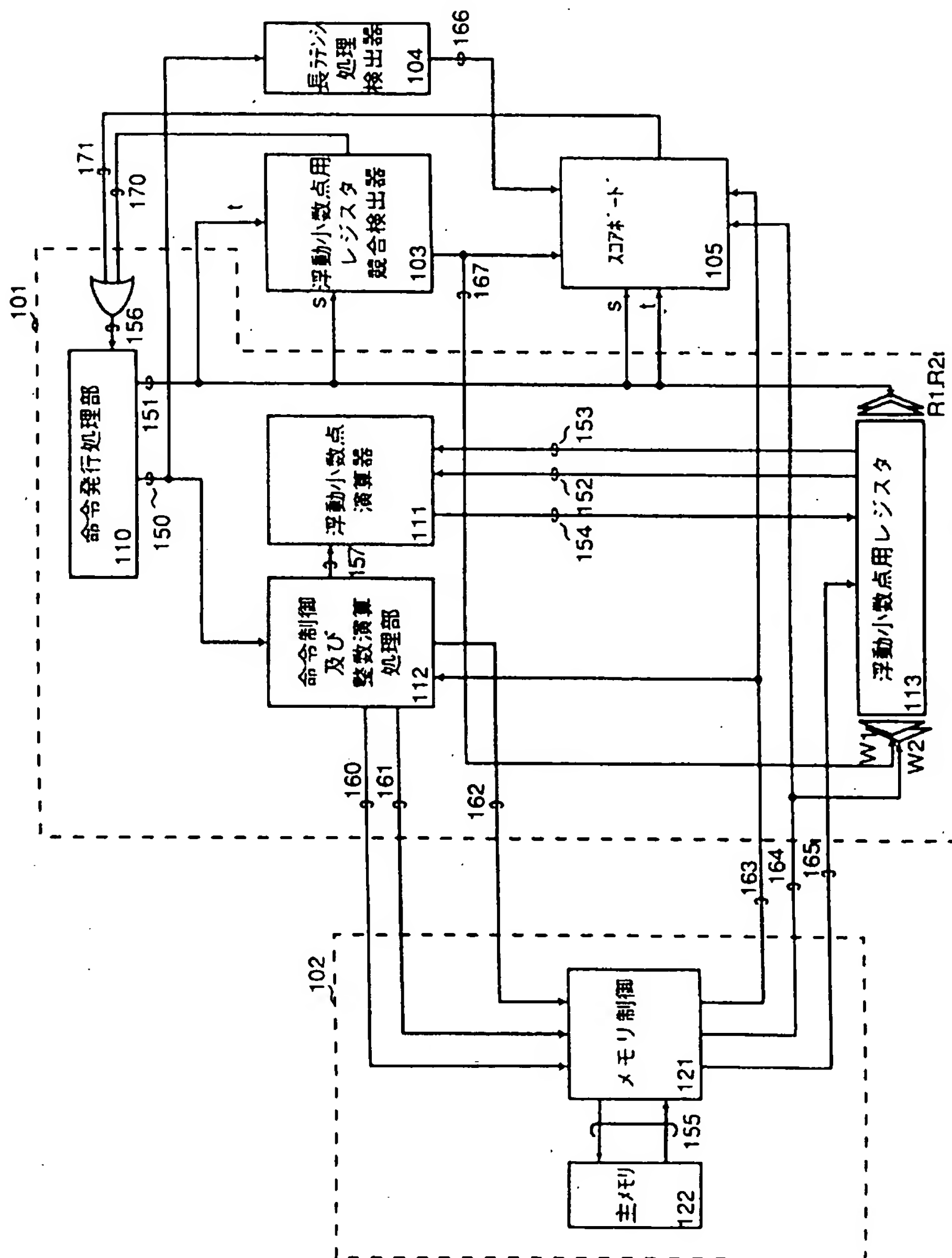
1 4. 請求項 1 1 において、

上記短ラテンシ処理部は演算を実行する命令処理部であり、上記長ラテンシ処理部は外部記憶部からデータを読み出して演算し内部記憶部へデータを格納するメモリ処理部であることを特徴とする情報処理装置。

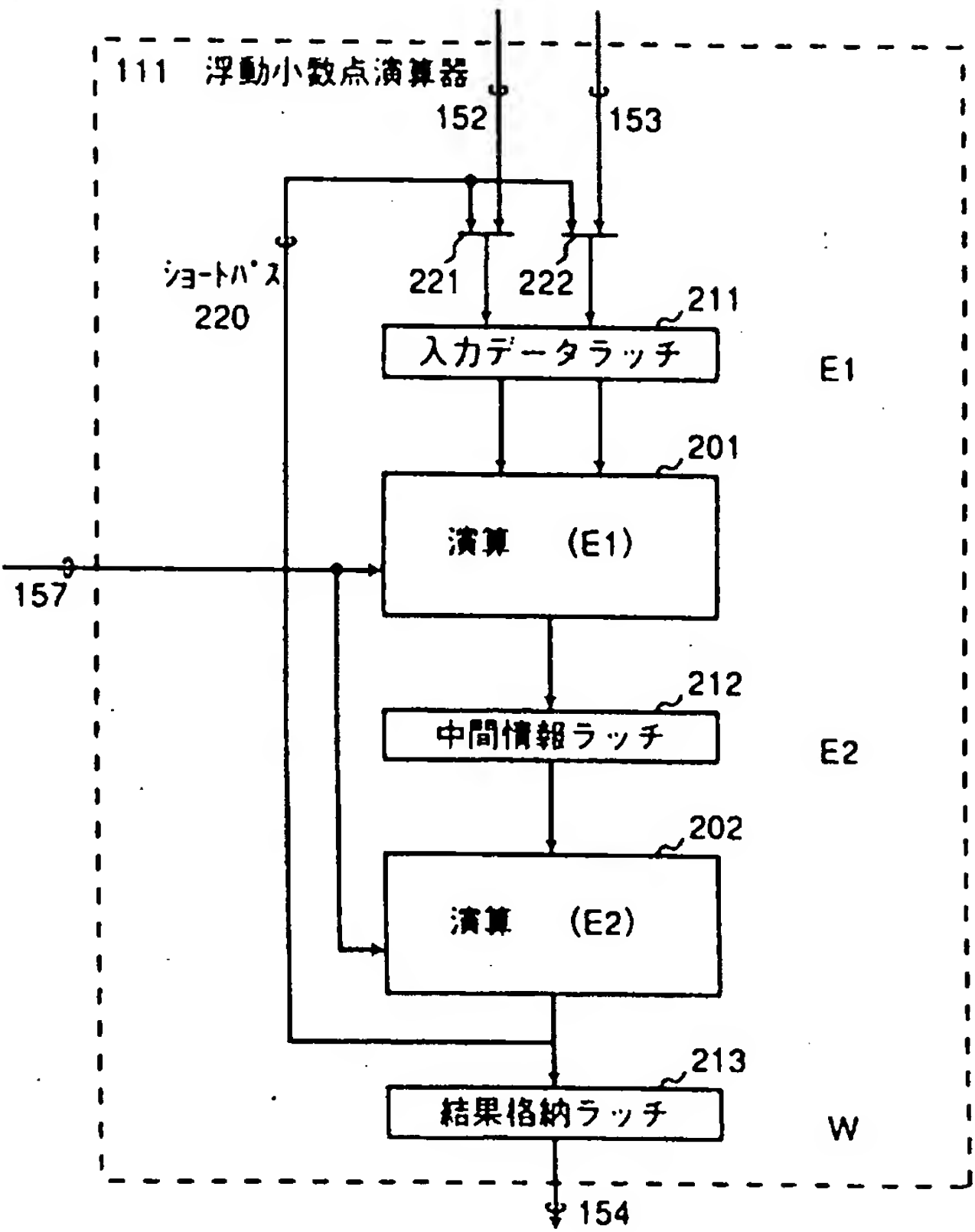
1 5. 請求項 1 1 において、

上記レジスタ競合検出部または上記レジスタ競合スコアボードによってレジスタ競合が検出されると、後続命令のパイプライン処理の投入を停止、または、待たせることを特徴とする情報処理装置。

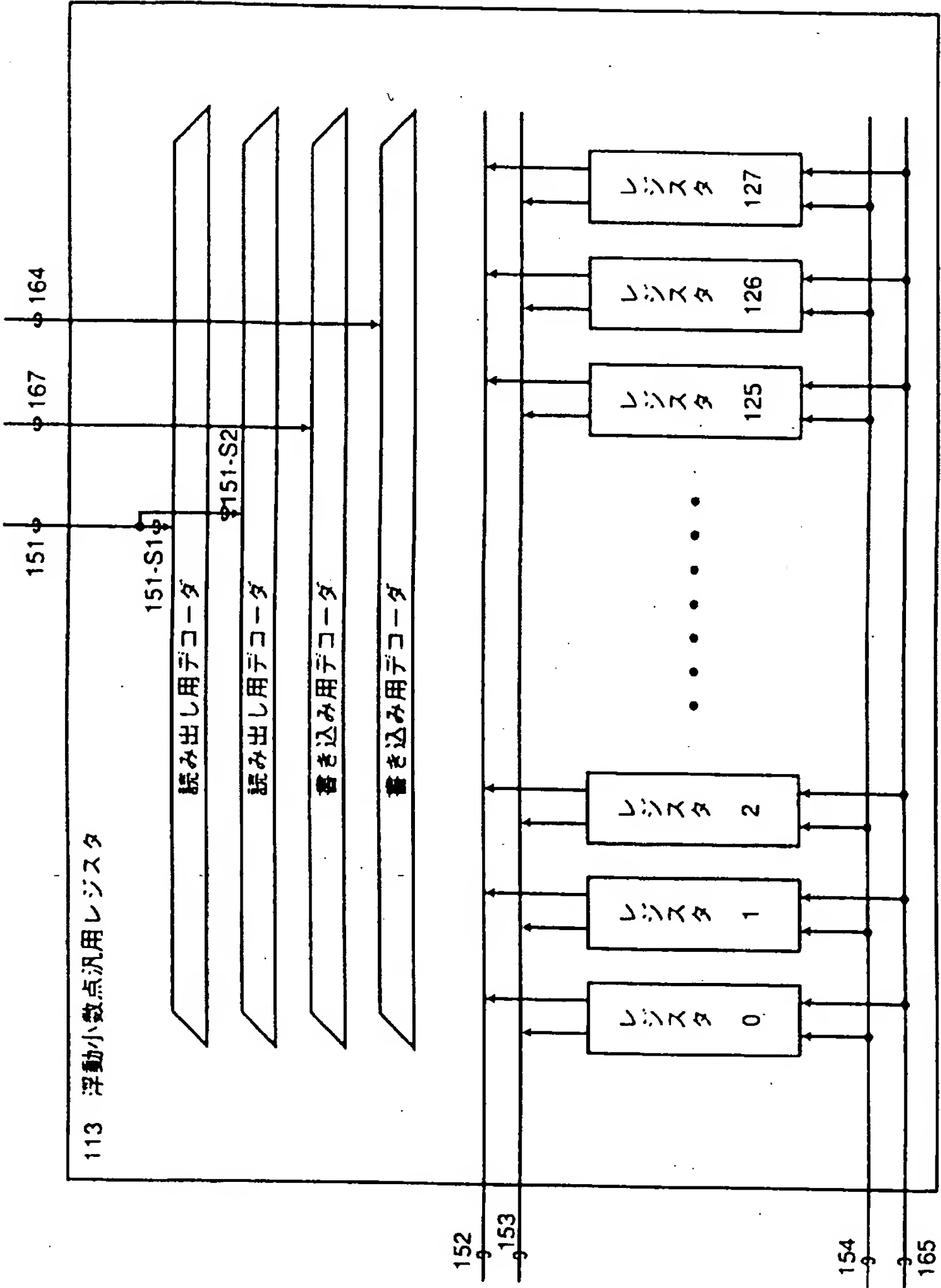
第 1 図



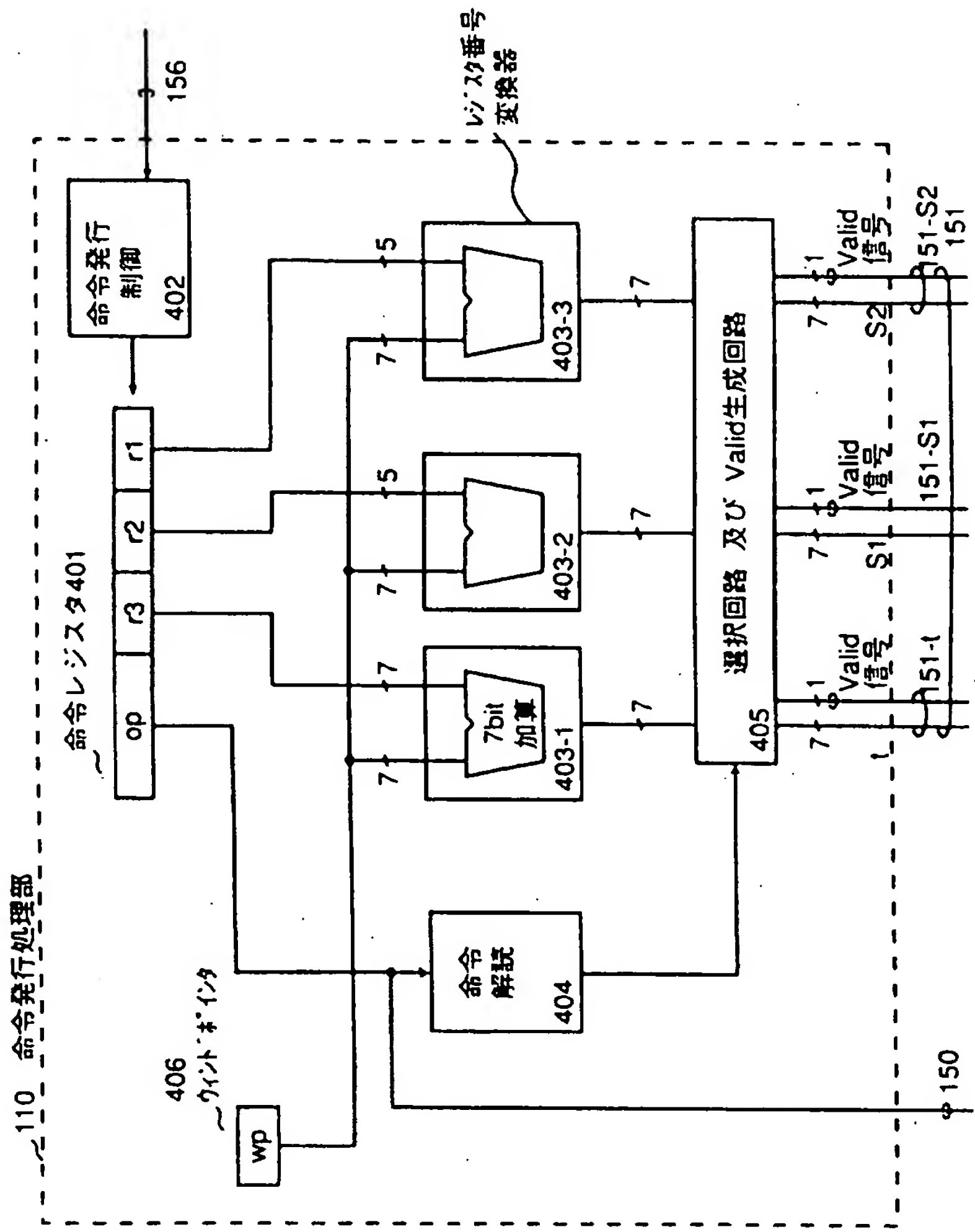
第 2 図



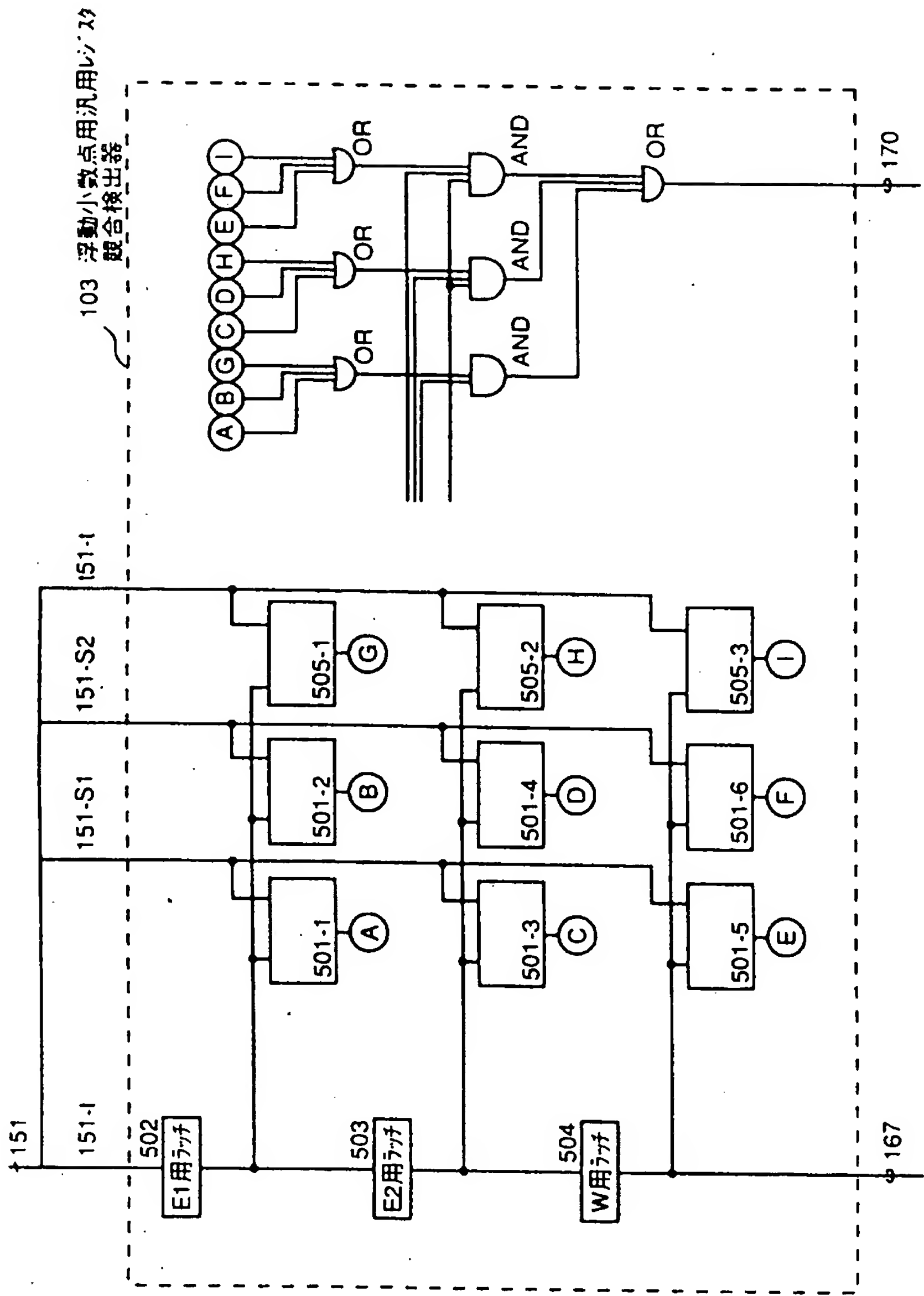
第 3 図



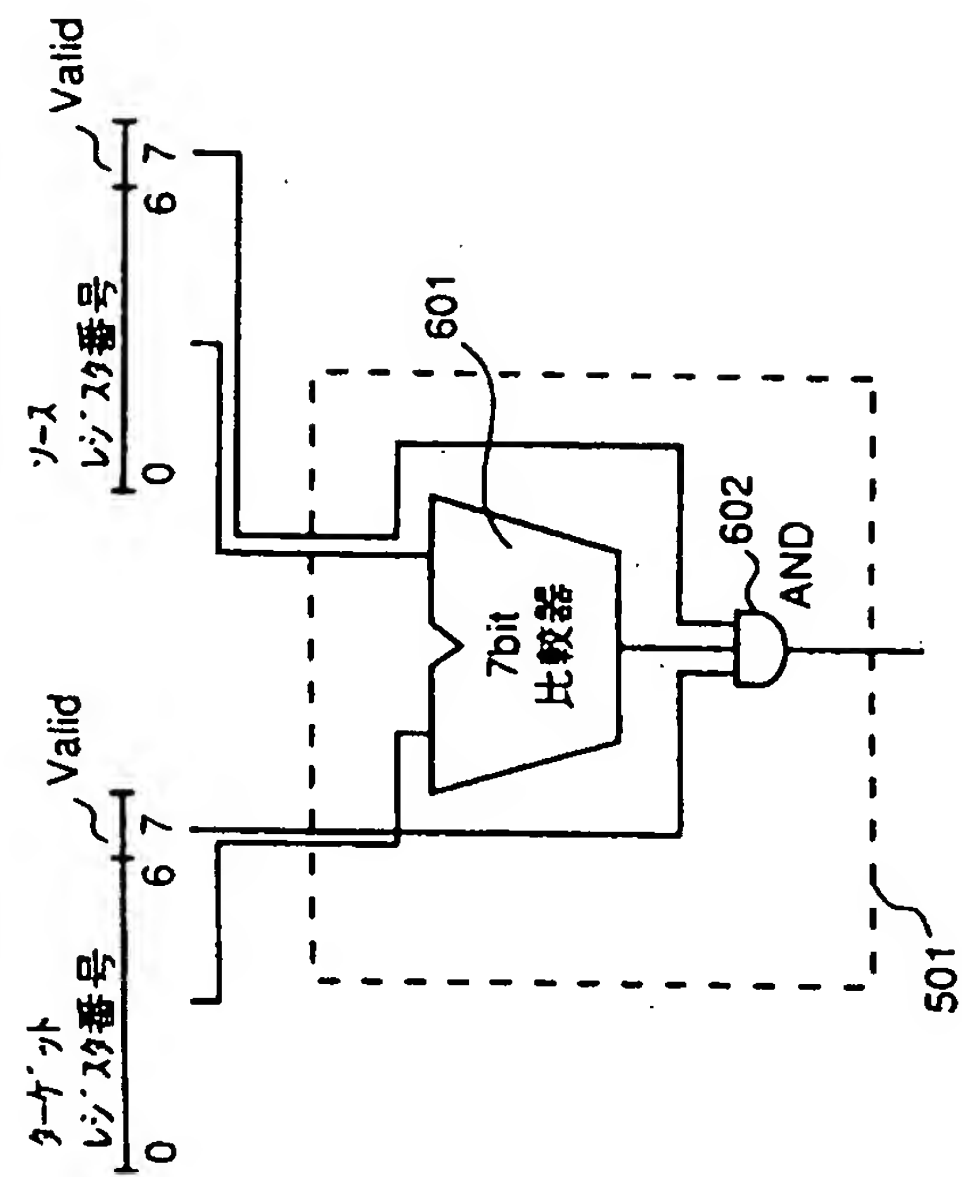
第 4 図



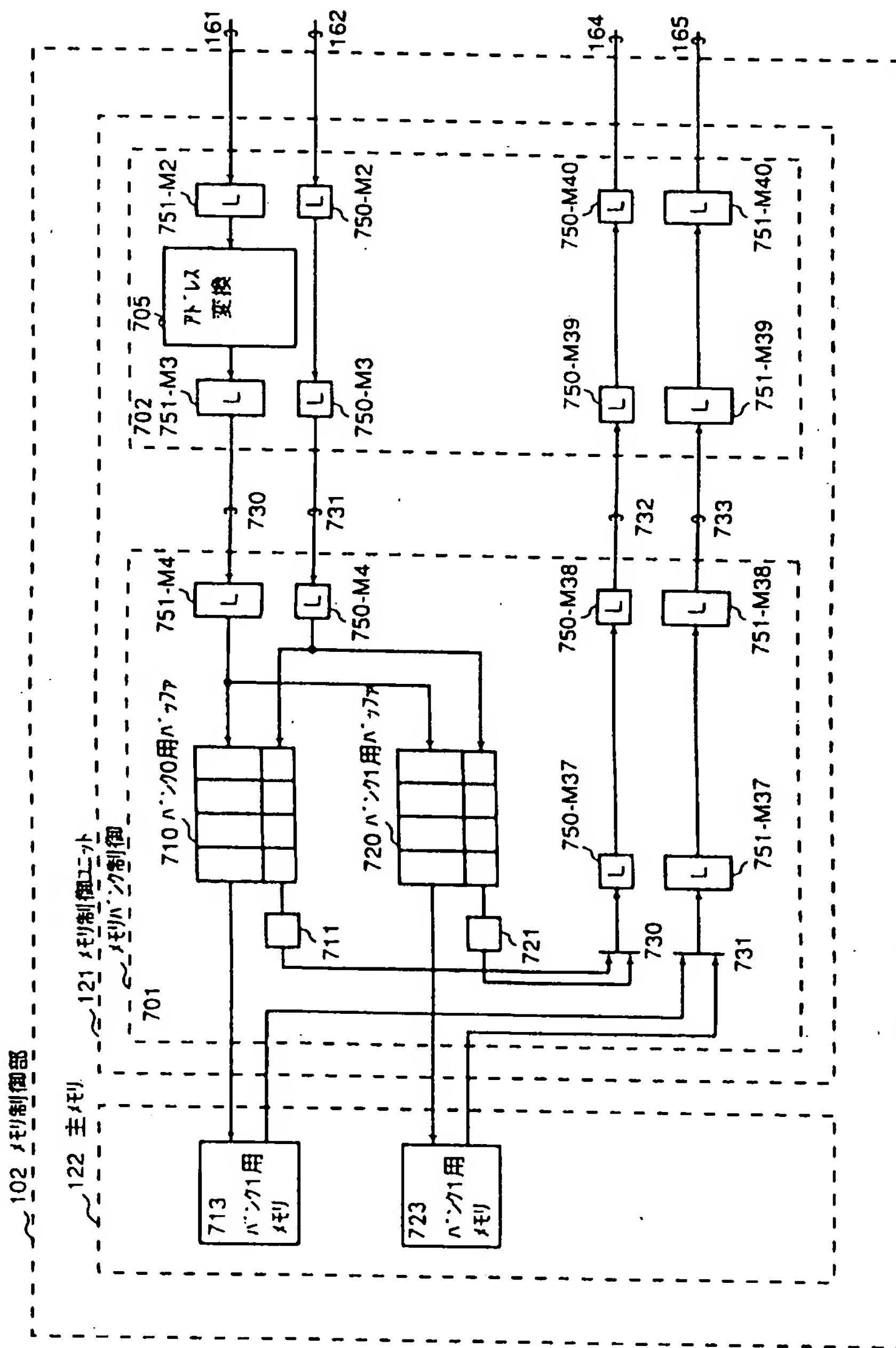
第 5 図



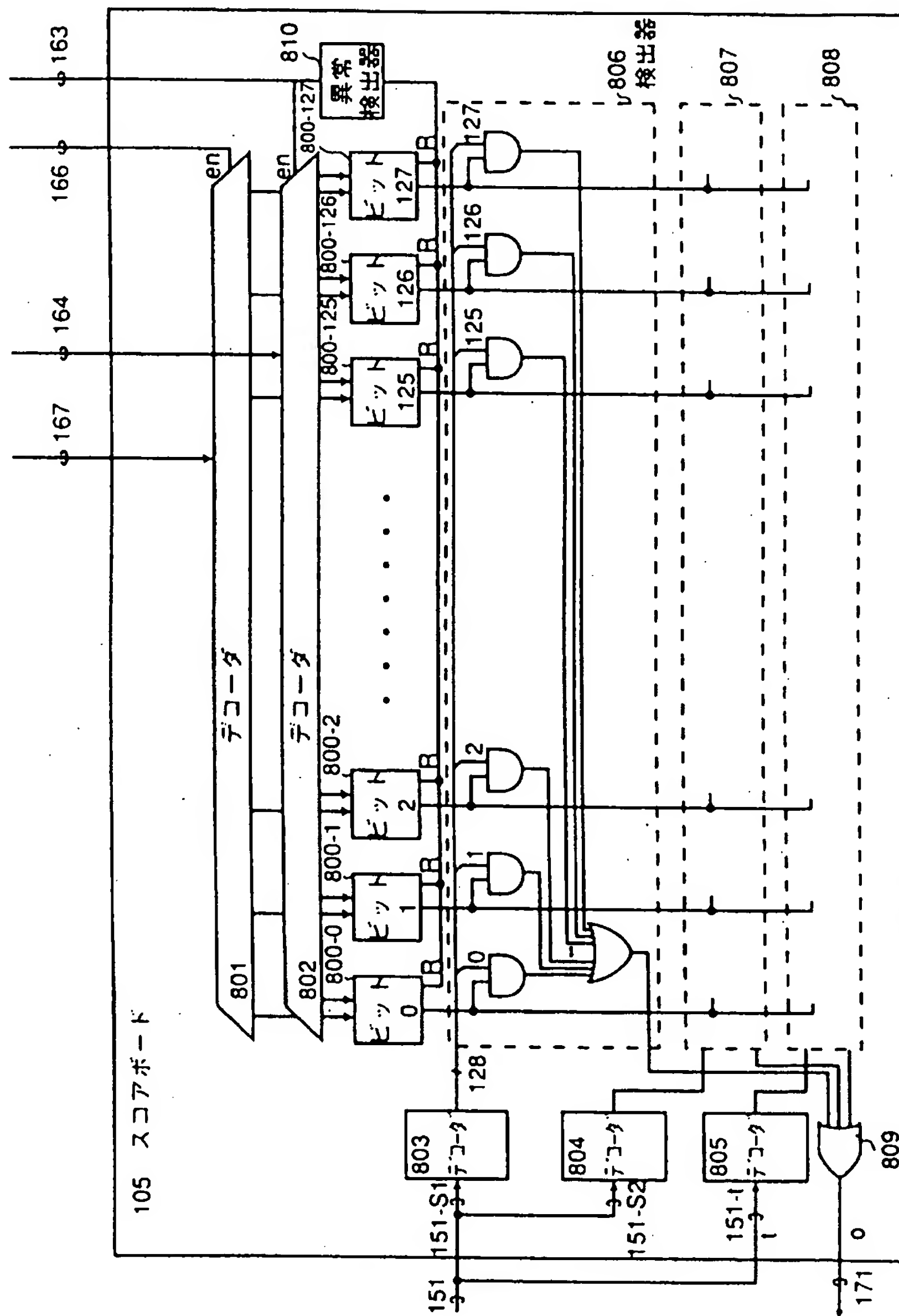
第 6 図



第 7 図



第 8 図

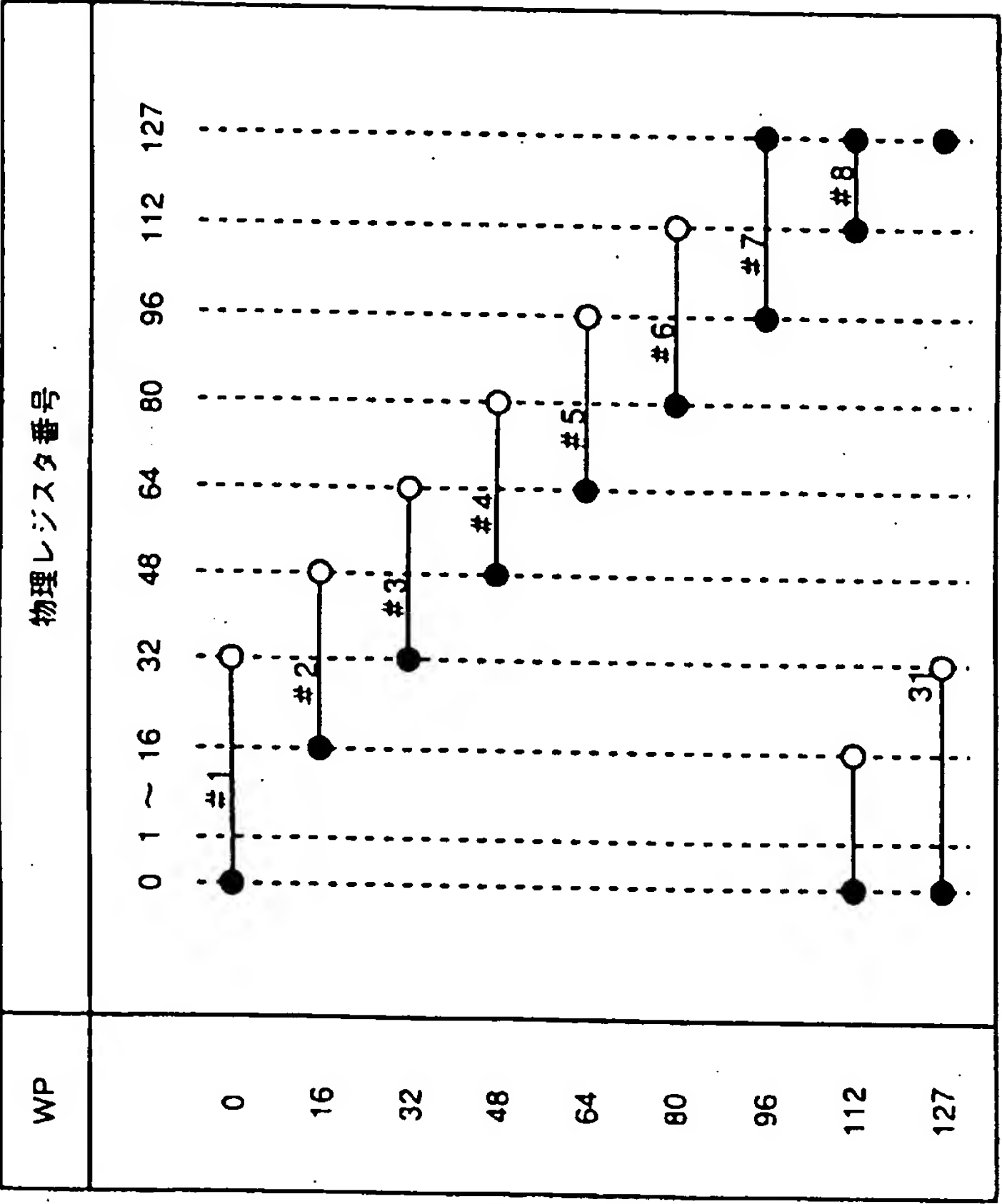


第 9 図

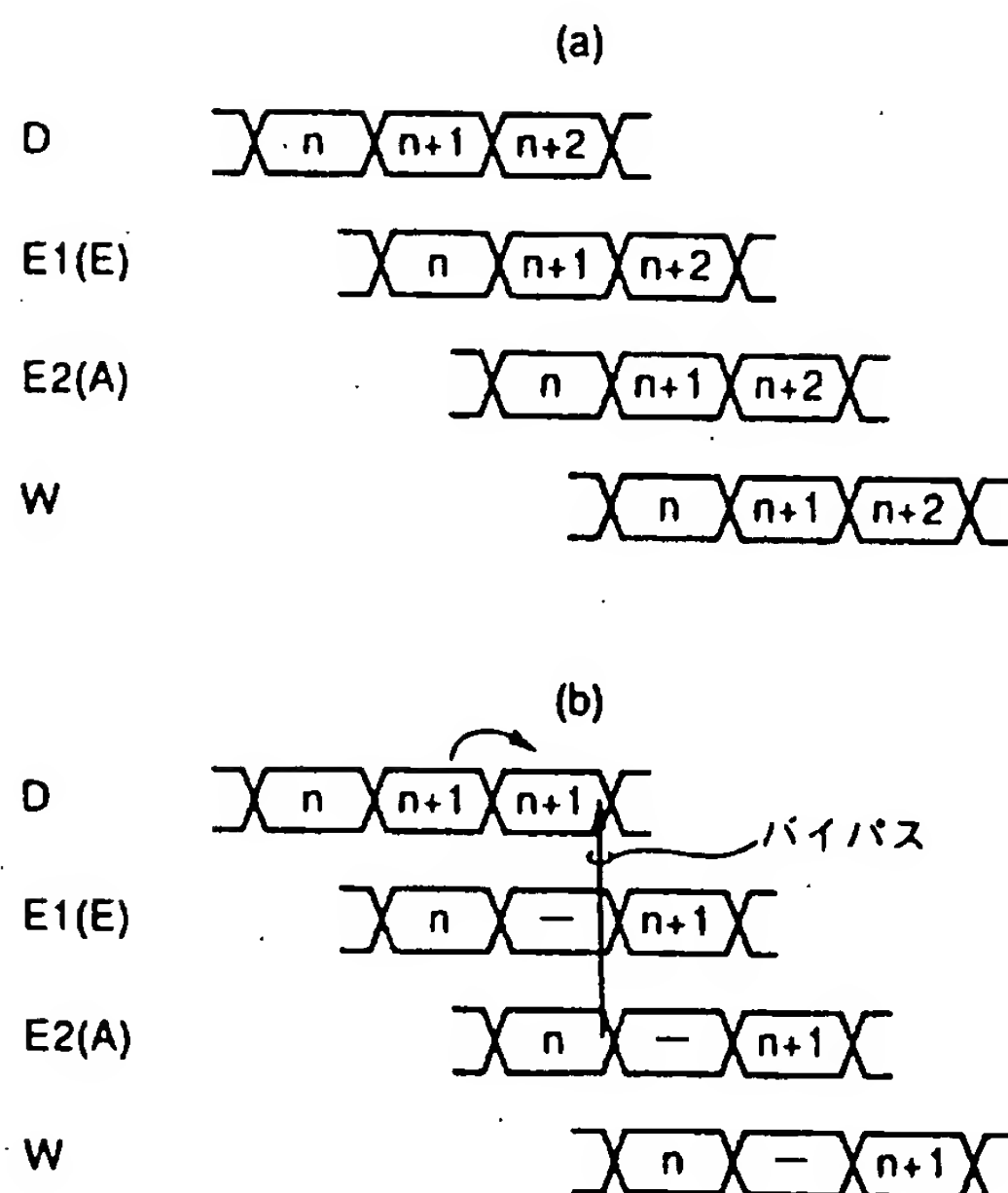
命令モニツク	動作	命令コード					
FMUL r1,r2,r3	$r1 \times r2 \rightarrow r3$	<table><tr><td>op</td><td>0</td><td>r3</td><td>r2</td><td>r1</td></tr></table>	op	0	r3	r2	r1
op	0	r3	r2	r1			
FADD r1,r2,r3	$r1 \times r2 \rightarrow r3$	<table><tr><td>op</td><td>0</td><td>r3</td><td>r2</td><td>r1</td></tr></table>	op	0	r3	r2	r1
op	0	r3	r2	r1			
FLD GR1,disp,r3	$7\text{bit} \times (\text{GR1} + \text{disp}) \text{の内容} \rightarrow r3$	<table><tr><td>op</td><td>0</td><td>r3</td><td>GR1</td><td>disp</td></tr></table>	op	0	r3	GR1	disp
op	0	r3	GR1	disp			
FST r1,GR1,disp	$r1 \rightarrow 7\text{bit} \times (\text{GR1} + \text{disp}) \text{に格納}$	<table><tr><td>op</td><td>0</td><td>r1</td><td>GR1</td><td>disp</td></tr></table>	op	0	r1	GR1	disp
op	0	r1	GR1	disp			
FPLD GR1,disp,r3'	$7\text{bit} \times (\text{GR1} + \text{disp}) \text{の内容} \rightarrow r3'$	<table><tr><td>op</td><td></td><td>r3'</td><td>GR1</td><td>disp</td></tr></table>	op		r3'	GR1	disp
op		r3'	GR1	disp			
FPST r1',GR1,disp	$r1' \rightarrow 7\text{bit} \times (\text{GR1} + \text{disp}) \text{に格納}$	<table><tr><td>op</td><td></td><td>r1'</td><td>GR1</td><td>disp</td></tr></table>	op		r1'	GR1	disp
op		r1'	GR1	disp			
FWP disp1	カウンタの切り換え disp1 \rightarrow WP	<table><tr><td>op</td><td>0</td><td></td><td></td><td>disp1</td></tr></table>	op	0			disp1
op	0			disp1			

r1,r2,r3 は、5bit の情報であり 32本のレジスタを選択できる。
r3' ,r1' 7bit の情報であり128本のレジスタを選択できる。

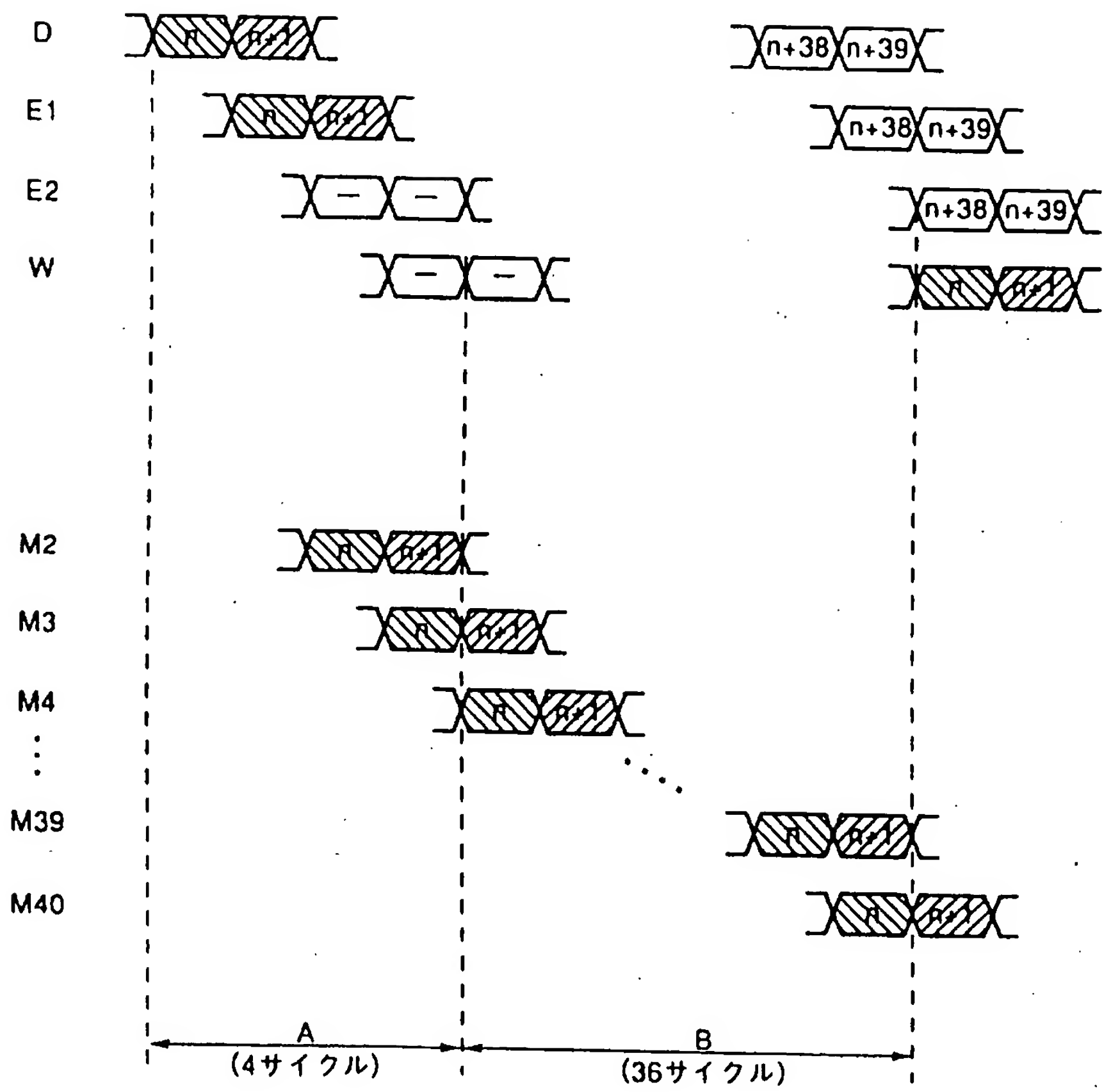
第10図



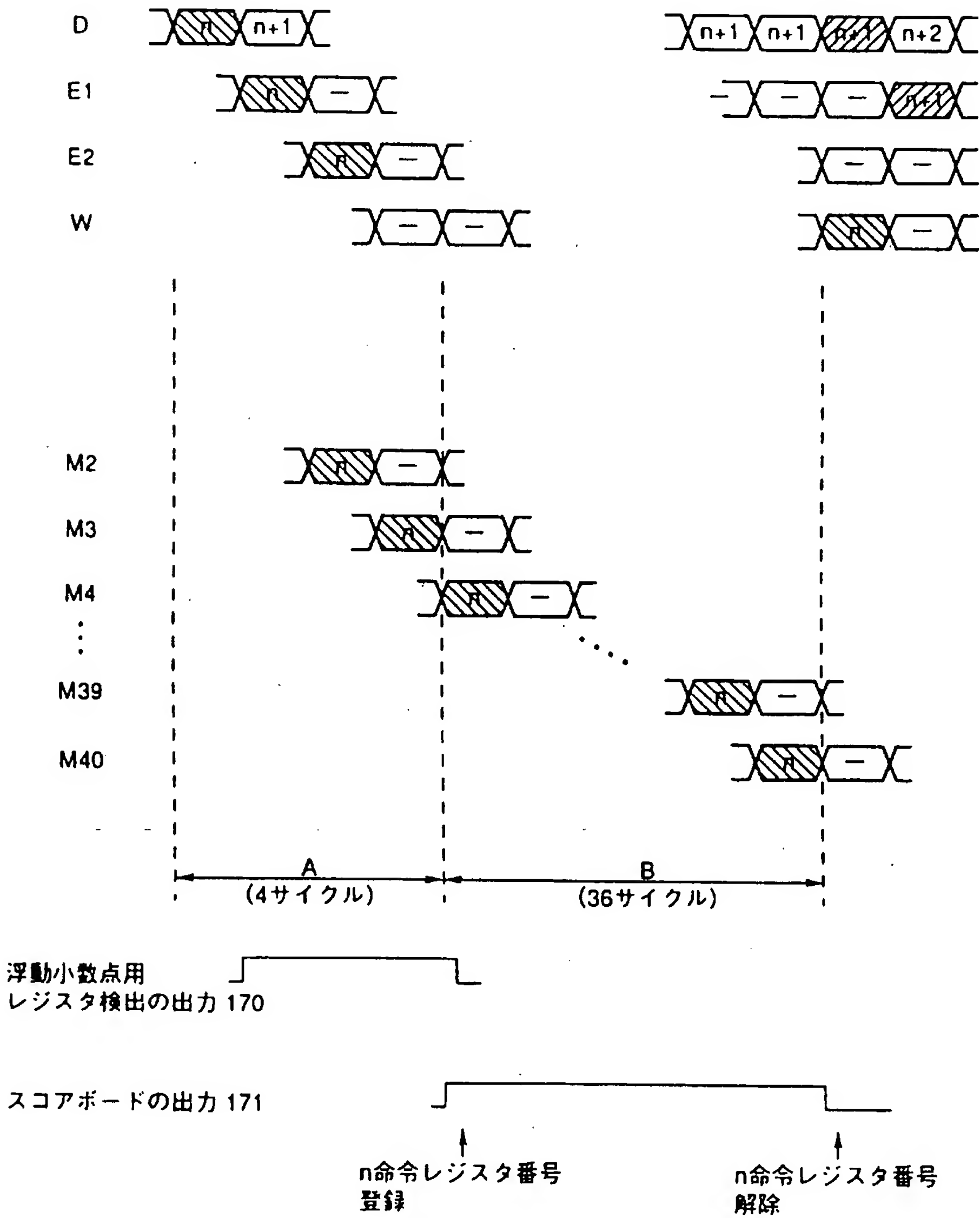
第 11 図



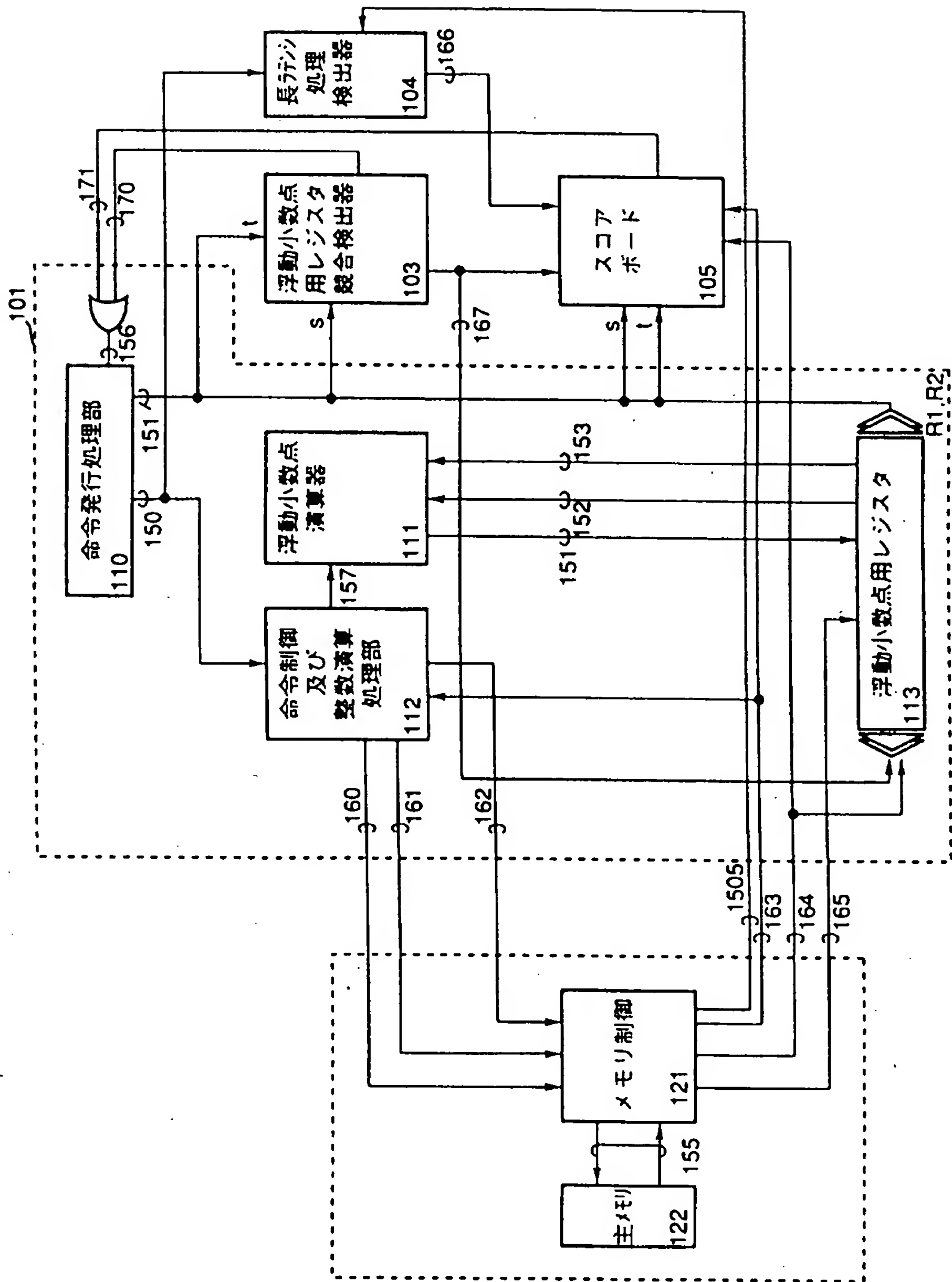
第 12 図



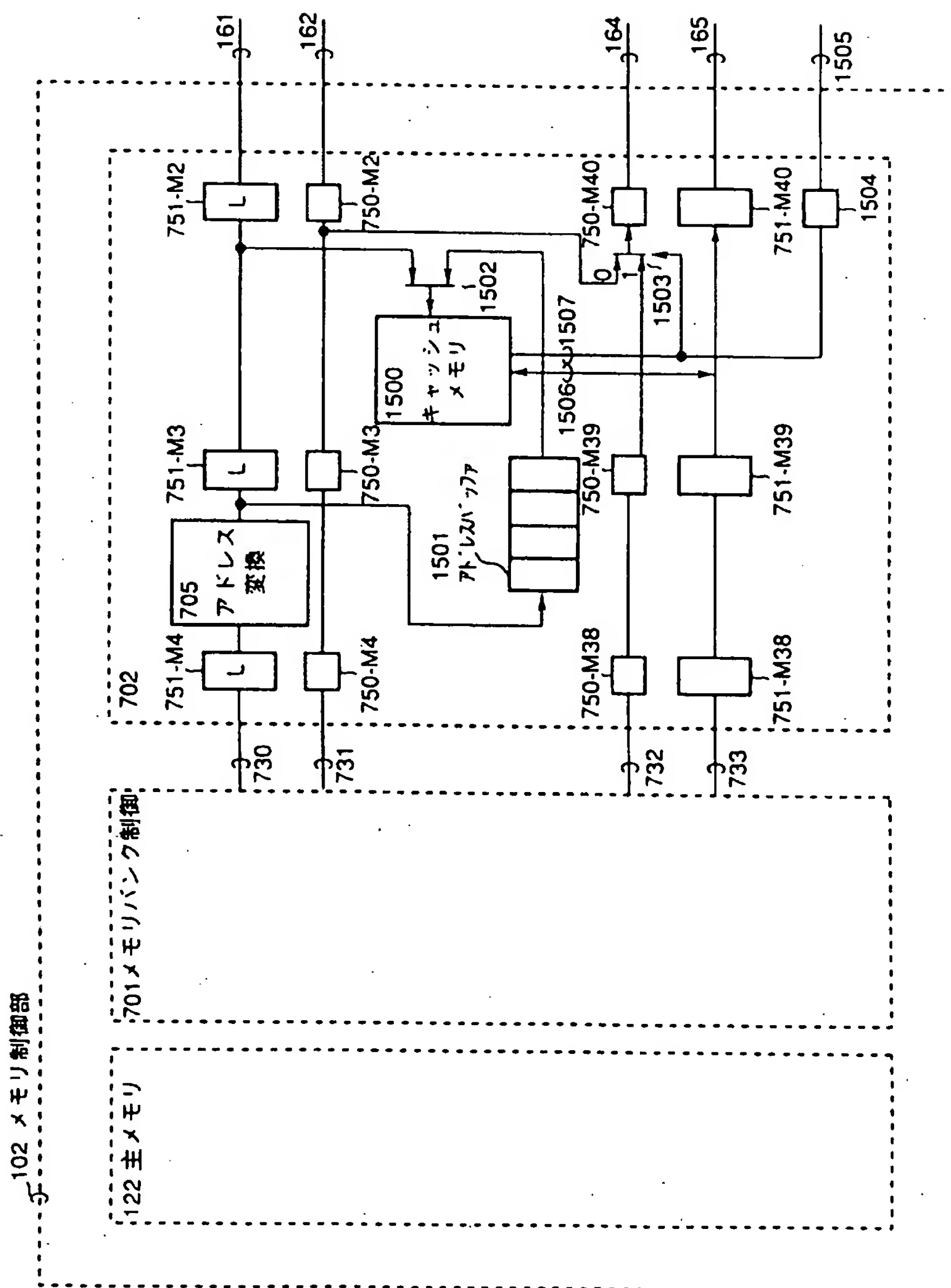
第13図



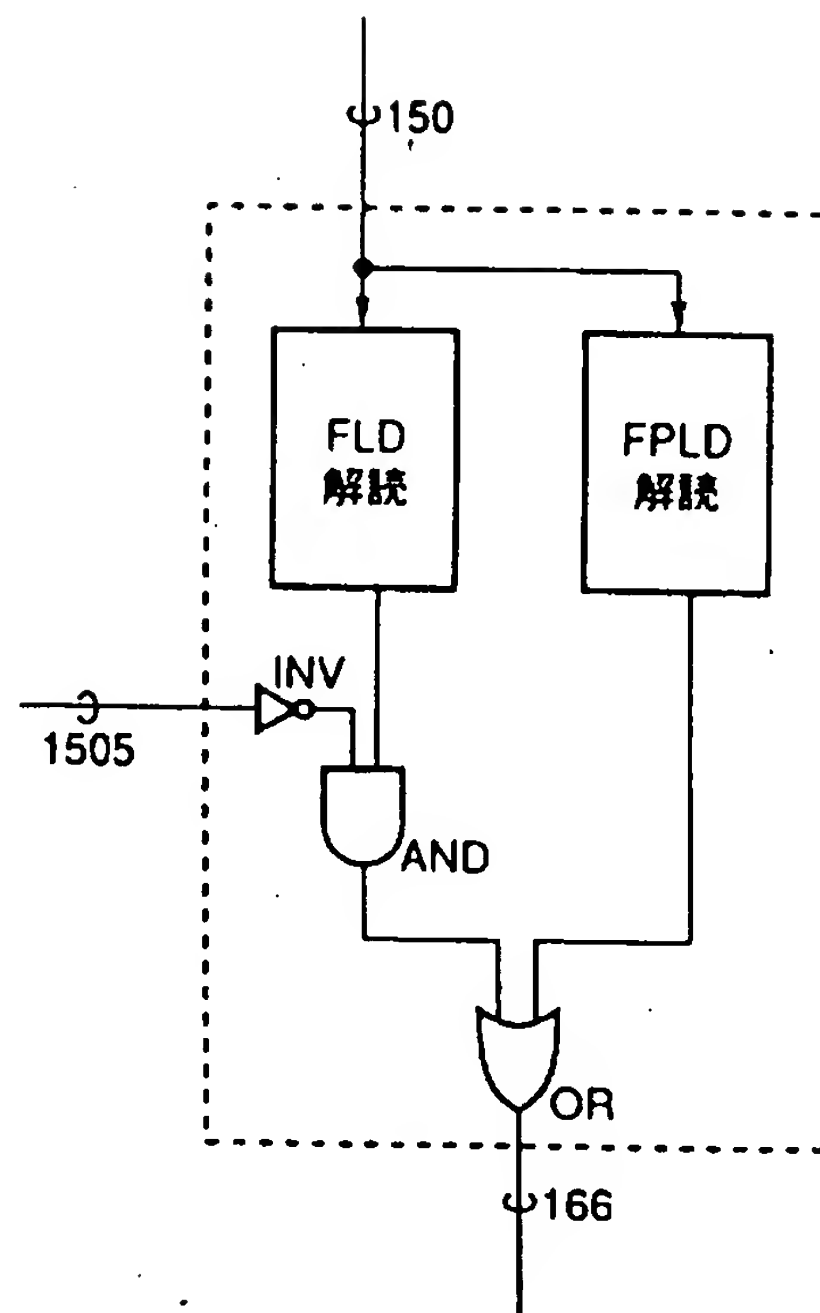
第14図



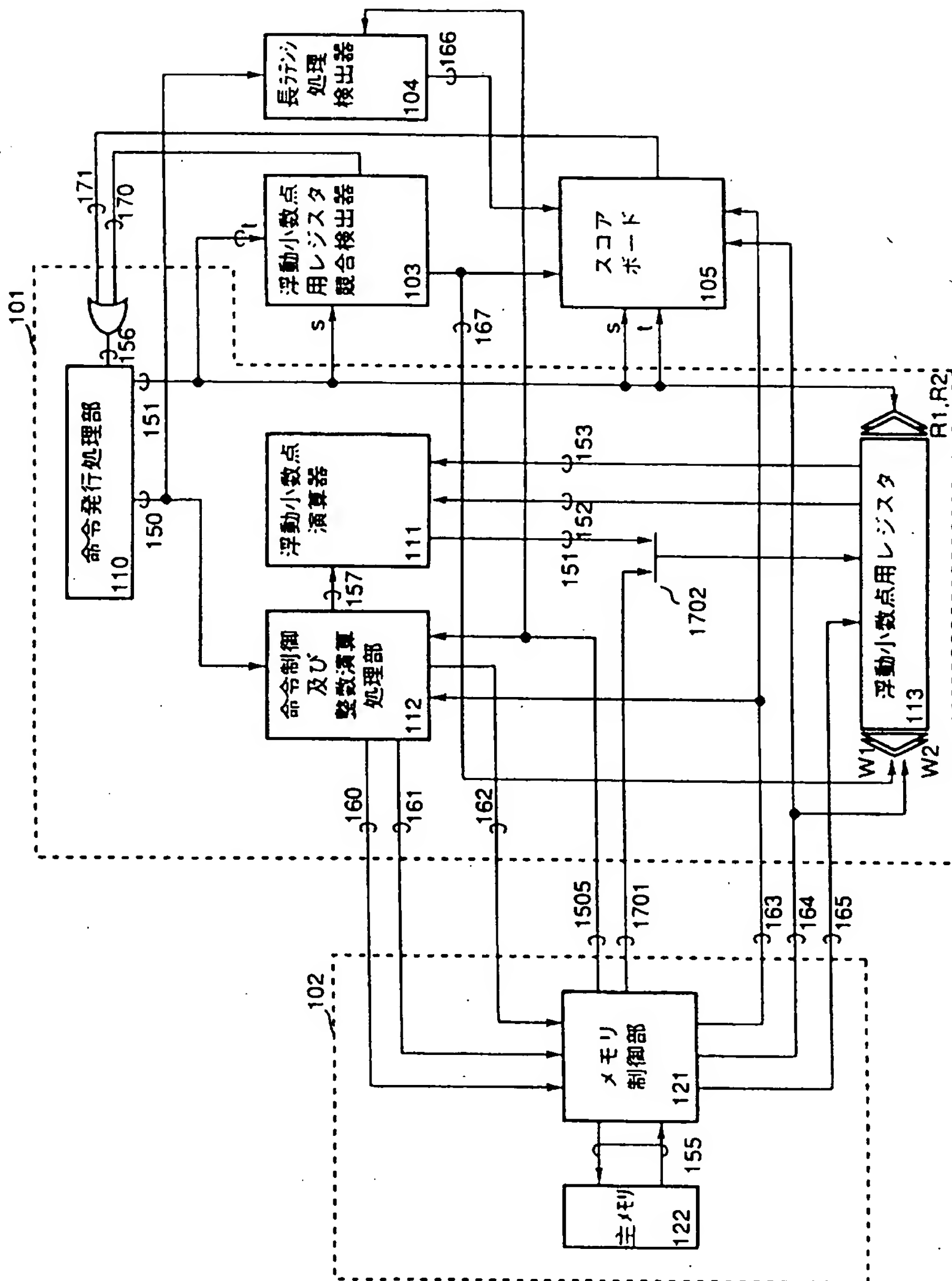
第15図



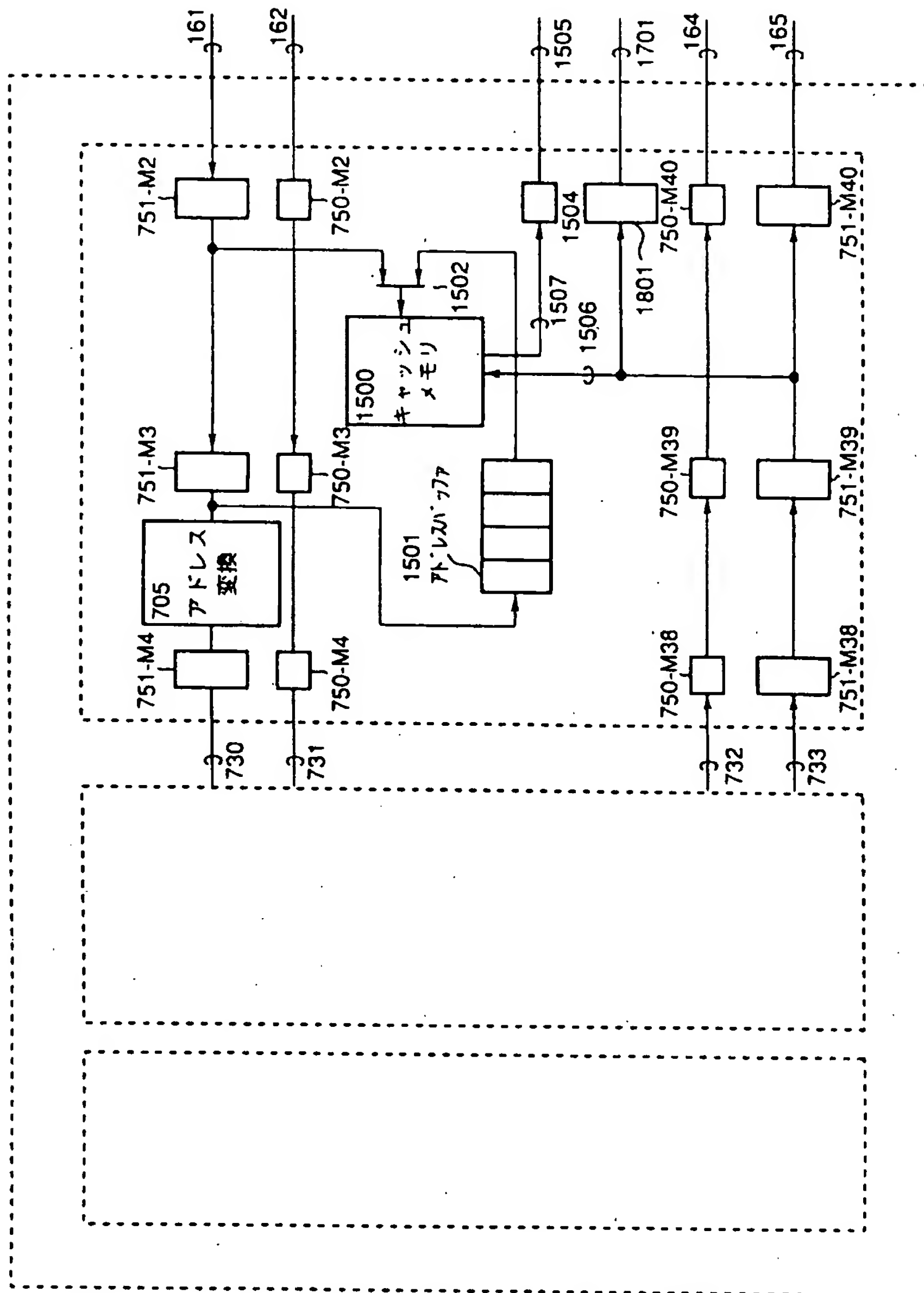
第16図



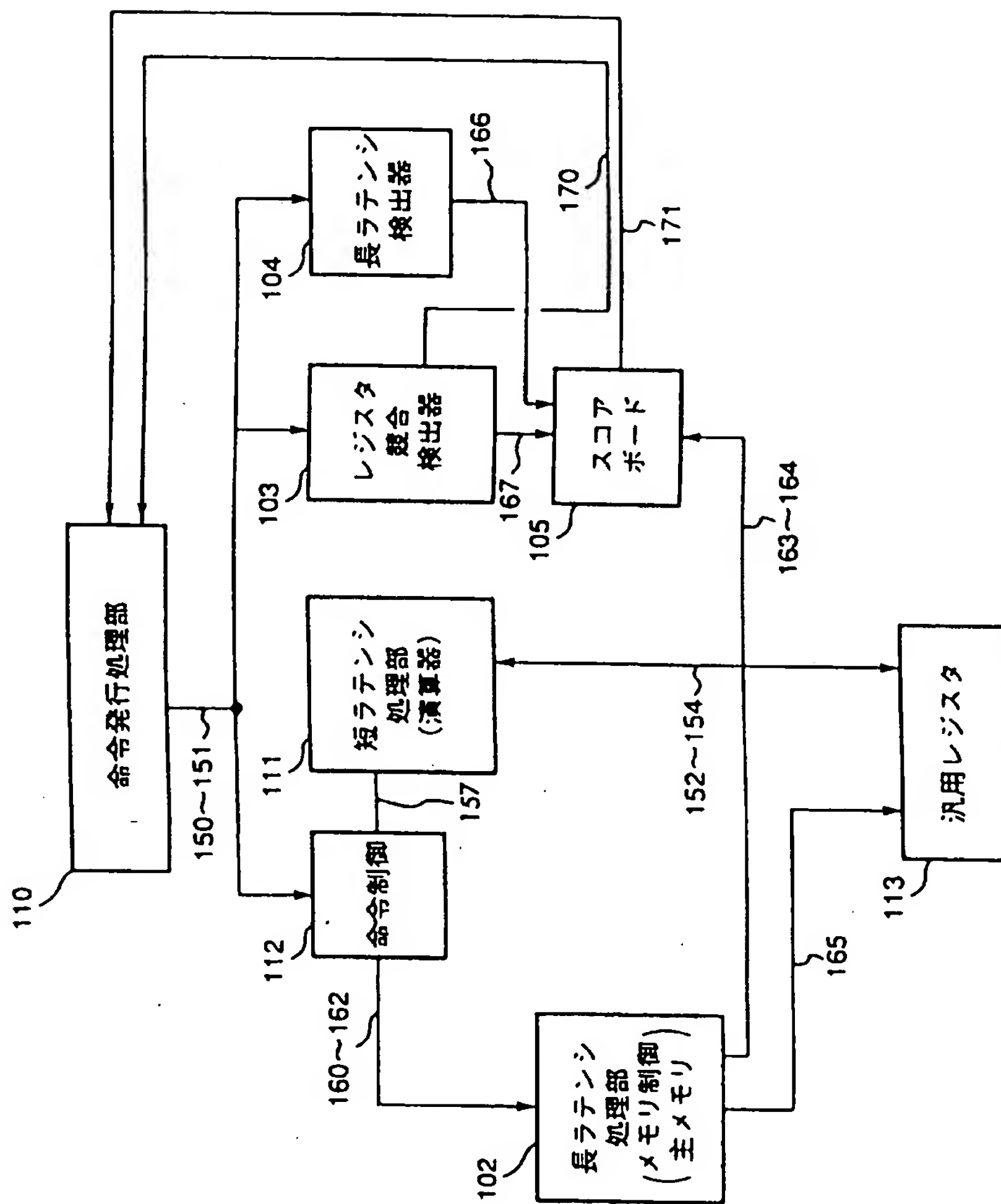
第17図



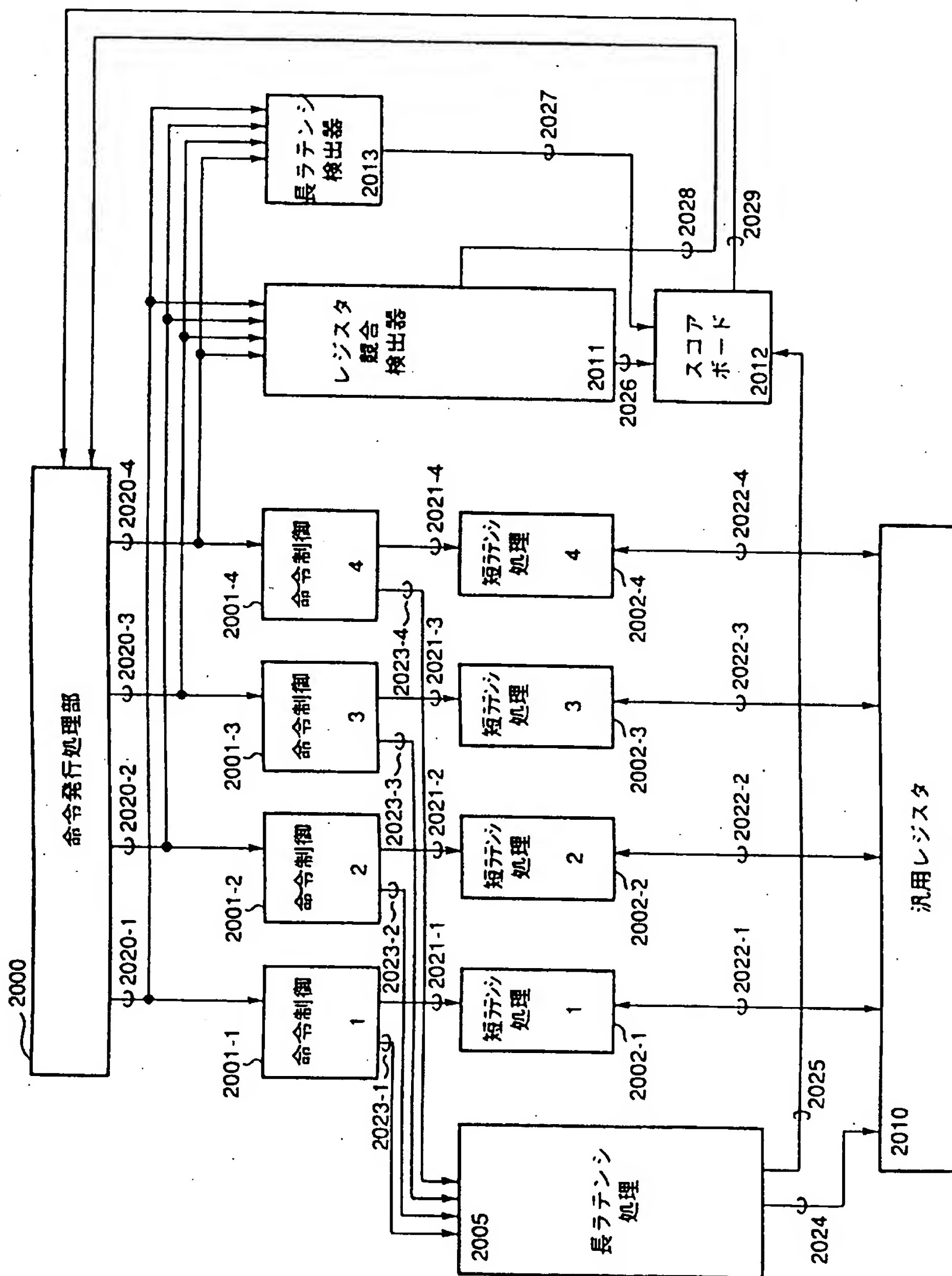
第 18 図



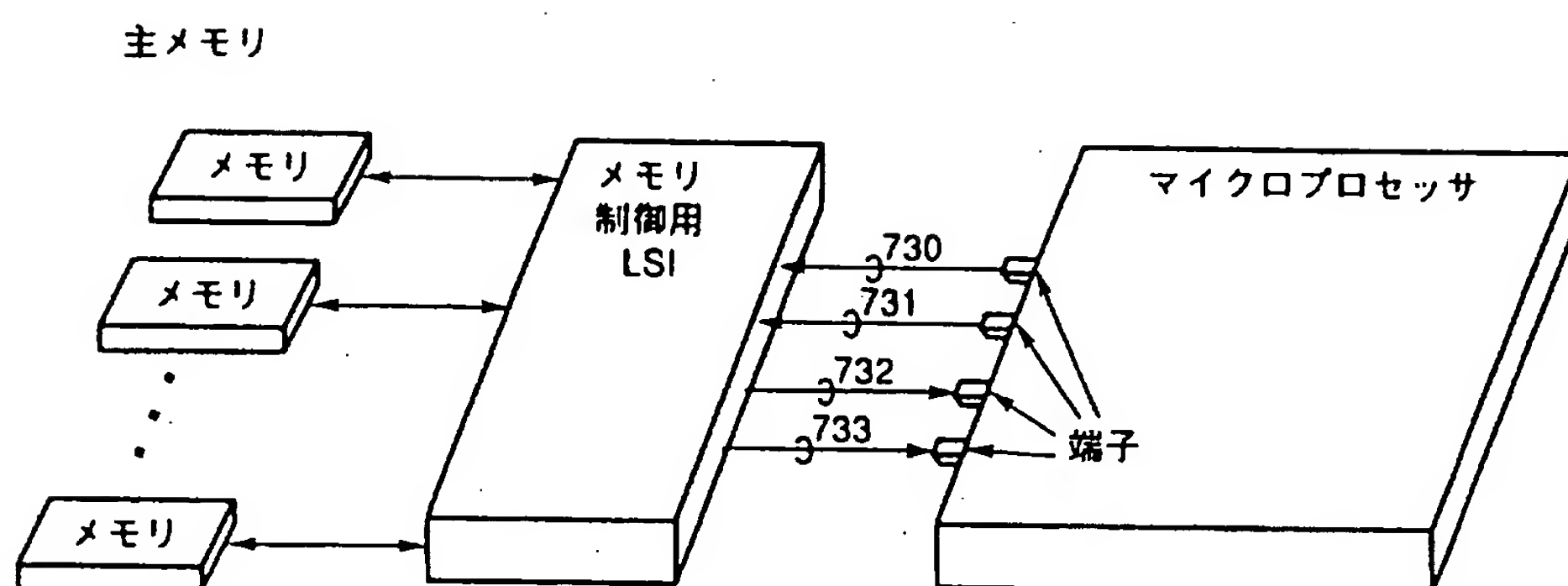
第19図



第20図



第21図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/00356

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F9/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F9/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1995

Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-67879, A (Fujitsu Ltd.), March 11, 1994 (11. 03. 94) (Family: none)	1 - 15
A	JP, 5-108348, A (Toshiba Corp.), April 30, 1993 (30. 04. 93) (Family: none)	1 - 15
A	JP, 5-298091, A (Matsushita Electric Ind. Co., Ltd.), November 12, 1993 (12. 11. 93) (Family: none)	1 - 15

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

May 11, 1995 (11. 05. 95)

Date of mailing of the international search report

May 30, 1995 (30. 05. 95)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. ⁸ G06F9/38		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. ⁸ G06F9/38		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1995年 日本国公開実用新案公報 1971-1995年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 6-67879, A (富士通株式会社), 11. 3月. 1994 (11. 03. 94) (ファミリーなし)	1-15
A	JP, 5-108348, A (株式会社 東 芝), 30. 4月. 1993 (30. 04. 93) (ファミリーなし)	1-15
A	JP, 5-298091, A (松下電器産業株式会社), 12. 11月. 1993 (12. 11. 93) (ファミリーなし)	1-15
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日		国際調査報告の発送日
11. 05. 95		30. 05. 95
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 羽 鳥 賢 一 ⑤ 電話番号 03-3581-1101 内線 3546